

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-236473

(43)Date of publication of application : 29.08.2000

(51)Int.Cl.

H04N	5/232
G06T	1/00
H04N	5/235
H04N	5/262
H04N	5/335
H04N	9/07
H04N	9/64
H04N	9/68

(21)Application number : 11-034979

(71)Applicant : MEGA CHIPS CORP

(22)Date of filing : 12.02.1999

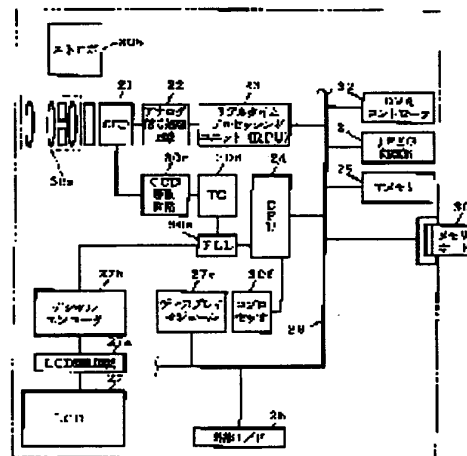
(72)Inventor : SASAKI HAJIME

(54) IMAGE PROCESSING CIRCUIT FOR IMAGE INPUT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To attain high speed processing and to reduce the power consumption of an image input device for a digital still camera or the like.

SOLUTION: In an RPU 23 to apply real time processing to pixel data from a CCD 21, a CPU 24 applies software program processing only to special exceptional image processing that is not prepared in advance. Then the pixel data stored once in a main memory 29 are given again to the RPU 23 and processed in post processing for general image processing after the software program processing. In comparison with the case where only software program processing is executed, this processing is significantly accelerated and the processing over a long time by the CPU 24 is reduced to the utmost so as to reduce the power consumption.



LEGAL STATUS

[Date of request for examination] 07.03.2001

[Date of sending the examiner's decision of rejection] 11.11.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3532781

[Date of registration] 12.03.2004

[Number of appeal against examiner's decision of rejection] 2003-23966

[Date of requesting appeal against examiner's decision of rejection] 11.12.2003

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the image-processing circuit which performs a predetermined image processing about the image picturized with the image sensor in the picture input device. The real-time processing unit which performs a predetermined general image processing by real-time processing about the pixel data by which a sequential input is picturized and carried out with said image sensor, The main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame, It has the CC section which performs exceptional image processings other than said general image processing as software program processing to the image once memorized in said main memory, and is stored in said main memory. Said real-time processing unit is the image-processing circuit of the picture input device characterized by having at least the selector which chooses the pixel data by which a sequential input is picturized and carried out with said image sensor, and the pixel data of the image once stored in said main memory.

[Claim 2] It is the image-processing circuit of a picture input device according to claim 1. Said real-time processing unit It comes to connect two or more image-processing sections one by one. The image-processing section of a forefront stage It connects so that the pixel data of the image once stored in said main memory may be selectively inputted through said selector. At least one of the image-processing sections after the 2nd step The pixel data inputted from the image-processing section of the preceding paragraph of the image-processing section concerned and the pixel data of the image once stored in said main memory It connects so that it may be selectively inputted by other predetermined selectors. The image-processing section of the last stage It is the image-processing circuit of the picture input device characterized by having connected so that pixel data might be sent out to said main memory, and connecting at least one of the image-processing sections of the preceding paragraph from the image-processing section of said last stage so that pixel data may be sent out to both the image-processing section of the next step, and said main memory.

[Claim 3] It is the image-processing circuit of a picture input device according to claim 1 or 2. It has further a timing generator for carrying out order of the timing of said real-time processing unit and said image sensor of operation. Said timing generator When said selector has chosen the pixel data by which a sequential input is picturized and carried out with said image sensor The synchronous-control function which synchronizes and carries out order of the timing of said real-time processing unit of operation, and the timing of said image sensor of operation, When said selector has chosen the pixel data of the image once stored in said main memory The image-processing circuit of the picture input device characterized by having the asynchronous-control function which carries out order of the timing of said real-time processing unit of operation, and the timing of said image sensor of operation to asynchronous.

[Claim 4] It is the image-processing circuit of the picture input device which is the image-processing circuit of a picture input device according to claim 1 to 3, and is characterized by for the pixel data concerned covering multiple times to said real-time processing unit, and inputting them repeatedly cyclically from said main memory when said selector has chosen the pixel data of the image once stored in said main memory.

[Claim 5] It is the image-processing circuit of a picture input device according to claim 1 to 4. Said real-time processing unit, The pixel data with which transmission and reception are performed between said main memory and said CC section It consists of component data which are four pieces to which the predetermined data length was given about each of four pixel components. At least one of said four component data The image-processing circuit of the picture input device characterized by storing selectively one component data of arbitration processed within the general image processing within said real-time processing unit.

[Claim 6] It is the image-processing circuit of a picture input device according to claim 1 to 5. Said real-time processing unit When the pixel data by which a sequential input is picturized and carried out with said image sensor, or the pixel data from said main memory is pixel data of 4 color system While each of the data of each component of four colors of the pixel data of the 4 color system concerned is stored in said each component data When the pixel data by which a sequential input is picturized and carried out with said image sensor, or the pixel data from said main memory is pixel data of 3 color system To the pixel data of the 3 color system concerned, in addition, one component data of arbitration processed by the data of the component of four amorous glance within the general image processing within said real-time processing unit The image-processing circuit of the picture input device characterized by having the function added as predetermined description data of each pixel data.

[Claim 7] It is the image-processing circuit which performs a predetermined image processing about the image picturized with the image sensor in the picture input device. The real-time processing unit which performs a

predetermined general image processing by real-time processing about the pixel data by which a sequential input is picturized and carried out with said image sensor, The main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame, It has the CC section which performs exceptional image processings other than said general image processing as software program processing to the image once memorized in said main memory, and is stored in said main memory. Said real-time processing unit When each pixel data by which a sequential input is picturized and carried out with said image sensor covers a multiple frame, each pixel data in each frame from the image sensor concerned is received. The image-processing circuit of the picture input device characterized by having the accumulation processing facility which repeats the predetermined number of the accumulation processings again memorized in said main memory after adding the pixel data of the homotopic in a frame before once memorizing in said main memory, and performs them.

[Claim 8] It is the image-processing circuit which performs a predetermined image processing about the image picturized with the image sensor in the picture input device. The real-time processing unit which performs a predetermined general image processing by real-time processing about the pixel data by which a sequential input is picturized and carried out with said image sensor, The main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame, It has the CC section which performs exceptional image processings other than said general image processing as software program processing to the image once memorized in said main memory, and is stored in said main memory. Said real-time processing unit When each pixel data by which a sequential input is picturized and carried out with said image sensor covers a multiple frame, each pixel data in each frame from the image sensor concerned, Before once memorizing in said main memory, the pixel data of the homotopic in a frame It has the circulation addition processing facility which repeats the predetermined number of the circulation addition processings again memorized in said main memory after adding carrying out multiplication with a predetermined weighting multiplier, respectively, and performs them. Said weighting multiplier in said circulation addition processing The first multiplier which carries out multiplication to the pixel data of the homotopic in a frame before once memorizing in said main memory, The image-processing circuit of the picture input device characterized by being beforehand set up so that it may consist of the second multiplier which carries out multiplication to each pixel data in each frame from an image sensor and the total value of said first multiplier and second multiplier may always be set to 1.

[Claim 9] It is the image-processing circuit which performs a predetermined image processing about the image picturized with the image sensor in the picture input device. The real-time processing unit which performs a predetermined general image processing by real-time processing about the pixel data by which a sequential input is picturized and carried out with said image sensor, The main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame, It has the CC section which performs exceptional image processings other than said general image processing as software program processing to the image once memorized in said main memory, and is stored in said main memory. Said real-time processing unit The image-processing circuit of the picture input device characterized by having the pixel amendment function which carries out the multiplication of the predetermined pixel amendment parameter beforehand memorized in said main memory for the predetermined pixel amendment including a shading compensation to each pixel data by which a sequential input is picturized and carried out with said image sensor.

[Claim 10] It is the image-processing circuit which performs a predetermined image processing about the image picturized with the image sensor in the picture input device. The real-time processing unit which performs a predetermined general image processing by real-time processing about the pixel data by which a sequential input is picturized and carried out with said image sensor, The main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame, It has the CC section which performs exceptional image processings other than said general image processing as software program processing to the image once memorized in said main memory, and is stored in said main memory. Said real-time processing unit is the image-processing circuit of the picture input device characterized by having at least the function which chooses said accumulation processing facility according to claim 7 and a circulation addition processing facility according to claim 8.

[Claim 11] It is the image-processing circuit which performs a predetermined image processing about the image picturized with the image sensor in the picture input device. The real-time processing unit which performs a predetermined general image processing by real-time processing about the pixel data by which a sequential input is picturized and carried out with said image sensor, The main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame, It has the CC section which performs exceptional image processings other than said general image processing as software program processing to the image once memorized in said main memory, and is stored in said main memory. Said real-time processing unit is the image-processing circuit of the picture input device characterized by having the function which chooses said accumulation processing facility according to claim 7, a circulation addition processing facility according to claim 8, and a pixel amendment function according to claim 9.

[Claim 12] It is the image-processing circuit of a picture input device according to claim 1 to 9. Said real-time processing unit As opposed to the attention pixel which has a 3x3-pixel register and two line memory, and is located in the center in said 3x3-pixel register It has further a pixel reference block for referring to the pixel of the perimeter, and the colour selection block which performs pixel interpolation about a color component to said attention pixel in said pixel reference block. When each pixel in said pixel reference block is the pixel array of 2x2 of 4 color system, said colour selection block While the first data processing which performs the interpolation same about each pixel as mutual performs pixel interpolation, when each pixel in said pixel reference block is the pixel array of 3 color system One component in the pixel of said 3 color system is used as a pixel of four amorous glance

within the same pixel array of 2x2 as 4 color system. The image-processing circuit of the picture input device characterized by being made to have the function to perform the second data processing which performs interpolation which is different of the one component concerned and other components in pixel interpolation processing of each pixel.

[Claim 13] It is the image-processing circuit of a picture input device according to claim 12. The pixel array of said 3 color system It is RGB BEIYA which consists of a red component, a green component, and a blue component. Said colour selection block in said real-time processing unit When each pixel in said pixel reference block is RGB BEIYA, said green component is used as a pixel of four amorous glance within the same pixel array of 2x2 as 4 color system. And said green component is arranged in the shape of the diagonal line within the pixel array of 2x2, and said green component is set to pixel interpolation processing in which it interpolates for other components. Pixel interpolation is carried out in quest of the average of said 4-pixel green component of the four directions of the attention pixel which are other components. Or the image-processing circuit of the picture input device characterized by being made to have the function which carries out pixel interpolation in quest of the remaining averages of 2 pixels except the minimum value and maximum among said 4-pixel green components of the four directions of the attention pixel which are other components.

[Claim 14] It is the image-processing circuit of a picture input device according to claim 1 to 13. Said real-time processing unit It has further the autofocus assessment section which outputs the high frequency component assessment value which integrated with the absolute value of the difference of two or more neighboring pixels of the same predetermined component about the fixed field among the pixel arrays in an image as an assessment value for performing proper assessment for being autofocus. Said autofocus assessment section alienation of the pixels of the same component of the couple which should take difference — with the selector which can change timing selectively the alienation chosen by said selector — the image-processing circuit of a picture input device equipped with the arithmetic circuit which calculates the absolute value of the difference of the pixel of the same component of the couple which estranged only timing, and the accumulation adder with which only the count of fixed carries out accumulation of the absolute value by which a sequential output is carried out from said arithmetic circuit.

[Claim 15] It is the image-processing circuit which performs a predetermined image processing about the image picturized with the image sensor in the picture input device. The real-time processing unit which performs a predetermined general image processing by real-time processing about the pixel data by which a sequential input is picturized and carried out with said image sensor, It has the main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame. Said real-time processing unit The defective pixel address stored in said main memory besides the real-time processing unit concerned is read. The image-processing circuit of the picture input device characterized by having further the defective pixel amendment section which performs defective pixel amendment when the pixel address of the pixel data in an image is in agreement with said defective pixel address.

[Claim 16] When two or more defective pixel addresses which are the image-processing circuits of a picture input device according to claim 15, and were stored in said main memory exist Two or more defective pixel addresses in the sequence which the pixel array followed one by one are stored. The defective pixel amendment section of said real-time processing unit The shift register with which the sequential input of the defective pixel address which two or more registers stood in a row, and was stored in main memory is carried out, The address counted value of the pixel data by which are connected to the last stage of said shift register, and a sequential input is carried out, The defective pixel address given from the last stage of said shift register is compared, and it has the comparator which outputs a defective pixel timing signal when in agreement. Said shift register The defective pixel address is held, and the output of the last stage carries out a loop formation to the input terminal of a forefront stage, and is formed. Said comparator The address counted value of the pixel data by which a sequential input is carried out is compared with the defective pixel address given from the last stage of said shift register. It is the image-processing circuit of the picture input device which is the comparator which outputs the signal of shift timing and defective pixel amendment timing when in agreement, and is characterized by performing the shift of said shift register by the signal of the shift timing given from said comparator.

[Claim 17] It is the image-processing circuit which performs a predetermined image processing about the image picturized with the image sensor in the picture input device. The real-time processing unit which performs a predetermined general image processing by real-time processing about the pixel data by which a sequential input is picturized and carried out with said image sensor, The main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame, It has the CC section which performs exceptional image processings other than said general image processing as software program processing to the image once memorized in said main memory, and is stored in said main memory. Said real-time processing unit The gamma correction table which can perform gamma correction processing about the one pixel data concerned when one pixel data of N bit length is given, When one pixel data of N bit length is given, while inputting the one pixel data concerned into said gamma correction table (N-2) When the pixel data of bit length are given The image-processing circuit of the picture input device characterized by having further the selector switched so that four data streams given to each of four look-up tables which come to quadrisect said gamma correction table one by one as pixel data of bit length (N-2) may be inputted.

[Claim 18] It is the image-processing circuit of a picture input device according to claim 1 to 17. Said real-time processing unit The color space conversion circuit which changes the pixel data of the first array method which has a predetermined color component array into the predetermined pixel data of the second array method which has a color component specially, Said predetermined look-up table for special colors of the pixel data of said second array

method changed in said color space conversion circuit which inputs only a color component specially, carries out numerical conversion and outputs the value of the special color component concerned with a predetermined function, The image-processing circuit of the picture input device equipped with said predetermined multiplier of the pixel data of said second array method which carries out multiplication to components other than a color component specially, respectively for the value outputted from said look-up table for special colors.

[Claim 19] It is the image-processing circuit of a picture input device according to claim 12 or 13. Said real-time processing unit The selector which chooses the high-frequency component signal of the green component obtained with said pixel reference block within said colour selection block, and the pixel of four amorous glance stored in said main memory, The look-up table for the description data which carries out numerical conversion and which the data chosen by said selector are inputted as description data, and is outputted with a predetermined function, The image-processing circuit of a picture input device equipped with the multiplier which carries out the multiplication of the value outputted from said look-up table for the description data to each component of the pixel data of a predetermined pixel array, respectively.

[Claim 20] It is the image-processing circuit of a picture input device according to claim 12 or 13. Said real-time processing unit The pixel of four amorous glance of each pixel which was stored in said pixel reference block within said colour selection block, or was given from said image sensor, The selector which chooses the pixel of one component in the pixel of said 3 color system which was used as a pixel of four amorous glance within the pixel array of 2x2 in the pixel array of said 3 color system, The look-up table for the description data which inputs the pixel chosen by said selector as description data, carries out numerical conversion and outputs the description data concerned with a predetermined function, The image-processing circuit of a picture input device equipped with the multiplier which carries out the multiplication of the value outputted from said look-up table for the description data to each component of the pixel data of a predetermined pixel array, respectively.

[Claim 21] It is the image-processing circuit of a picture input device according to claim 12 or 13. Said real-time processing unit The color space conversion circuit which changes the pixel data of the first array method which has a predetermined color component array into the predetermined pixel data of the second array method which has a color component specially, It has further the selector which switches the propriety of an input to said color space conversion circuit of the data of the component of one in the data of the pixel of four amorous glance outputted from said colour selection block, or the pixel data of said first array method. Said color space conversion circuit is an image-processing circuit of the picture input device characterized by having the function to change into the pixel data of the second array method the data concerned to which the input was permitted as data of the pixel of four amorous glance when said selector permits an entry of data to the color space conversion circuit concerned.

[Claim 22] It is the image-processing circuit of a picture input device according to claim 1 to 21. Said real-time processing unit Block division is carried out into an image frame at two or more blocks of at least 3x3. Front [in each block], it has further the exposure decision assessment machine of a pixel which calculates the integral value of a color component specially and outputs the assessment value of the exposure decision at the time of an image pick-up with an image sensor. Said exposure decision assessment machine The image-processing circuit of the picture input device characterized by making a setting-out change of the borderline of said the blocks of each in the direction of four directions at arbitration.

[Claim 23] It is the image-processing circuit of a picture input device according to claim 1 to 22. Said real-time processing unit It has further the spatial filter which processes the data constellation in a predetermined color space, and the profile amendment processing section which carries out the gain adjustment only of the component after frequency conversion among said data constellations in said spatial filter, and performs profile amendment processing. Said profile amendment processing section is the image-processing circuit of the picture input device characterized by having the function which outputs the data which carried out the gain adjustment only of the component after frequency conversion among said data constellations in said spatial filter, and the former data in said spatial filter as separate data.

[Claim 24] It is the image-processing circuit of a picture input device according to claim 23. Said real-time processing unit Only when the amplitude of said RF special color component given from said spatial filter is smaller than predetermined threshold width of face in profile amendment processing in the profile amendment processing section The coring function block which removes the noise component in an image with considering that the amplitude concerned is a zero value with a predetermined nonlinear operation function, and outputting, It has the reverse gamma effectiveness block to which the ratio of the amplitude of said high frequency special color component to said predetermined threshold width of face in said coring function block is changed relatively. Said reverse gamma effectiveness block is determined by the special color component of the former data given from said spatial filter with a predetermined ratio transform function in said ratio. Said predetermined ratio transform function is the image-processing circuit of the picture input device characterized by being set up so that said ratio [as opposed to /, so that a color component is extraordinarily large / said predetermined threshold width of face] of the amplitude of a RF special color component of said former data may be ****(ed).

[Claim 25] Are the image-processing circuit of a picture input device according to claim 23, and said data constellation in said spatial filter in said real-time processing unit is constituted as accumulation of the data of three components. Said real-time processing unit [when 3 component output or 4 component output is selectable to said main memory and it is any] The image-processing circuit of the picture input device characterized by an output being selectively possible extraordinarily in one component in a color component after three components in said spatial filter, and frequency conversion to the output of at least 1 component.

[Claim 26] It is the image-processing circuit of a picture input device according to claim 1 to 25. Said main memory

When even lines and odd lines use the thing of the interlace type by which reading appearance is carried out to different timing in time as the two fields as said image sensor The pixel data of the first field concerning said one side of even lines and said odd lines are stored. Said real-time processing unit In case the sequential input of the pixel data of the second field concerning another side of said even lines and said odd lines is carried out from said image sensor The pixel data in said first field in said main memory corresponding to the pixel data concerned The image-processing circuit of the picture input device characterized by performing the predetermined image processing which reads, refers to synchronizing with the pixel entry of data of said second field, and includes pixel interpolation processing, color space conversion processing, and profile amendment processing.

[Claim 27] It is the image-processing circuit of a picture input device according to claim 1 to 26. Said real-time processing unit It has the line memory which stores the pixel data of the predetermined number in one line. Said main memory The image of the frame unit given from said image sensor is stored. Said real-time processing unit When there are more image pick-up pixels of one line of said image sensor than the number of the pixel data in said line memory Said image of the frame unit stored in said main memory is horizontally divided into two or more blocks, and is recognized. In said line memory in said real-time processing unit The image-processing circuit of the picture input device characterized by carrying out the sequential input of the pixel data applied to said said image divided into the block within said main memory. [two or more]

[Translation done.]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the image-processing circuit of the picture input device which performs predetermined image processings, such as pixel interpolation, color conversion, profile amendment processing, filtering, and infanticide processing, in a picture input device.

[0002]

[Description of the Prior Art] Generally a digital still camera (picture input device) Like drawing 33, actuation of CCD1 and incorporation of an image are performed in the image-processing circuit 2. After performing predetermined image processings, such as pixel interpolation, color conversion, profile amendment processing, filtering, and infanticide processing, in this image-processing circuit 2, while displaying this image on the finder of liquid crystal display monitor 3 grade Image data is stored in the predetermined internal memory 4, and if needed, preservation storing is carried out or image data is outputted to an external predetermined processor (personal computer) etc. through an external interface (I/F) 6 at a memory card 5. the sign 7 in drawing 33 — in the optical low pass filter and the sign 10, an infrared cut-off filter and a sign 11 show a stroboscope, and, as for the taking lens and the sign 8, the sign 12 shows [the drawing device and the sign 9] the power source, respectively.

[0003]

[Problem(s) to be Solved by the Invention] Here, generally in the image-processing circuit 2, it has real-time processing unit (RPU) 2b which performs an image processing [real time / image / which was obtained by CCD1 other than CPU2a] like drawing 34 and drawing 35 in many cases. And the various image processings of the image once stored in the internal memory 4 had become the configuration which only CPU2a performs by the software program. That is, the conventional real-time processing unit 2b was limited to the real-time image processing for performing finder actuation etc. chiefly, software processing was separated and modification of a processing process was completely extent which changes the parameter of each part.

[0004] In this case, since the real-time operation in real-time processing unit 2b and the software processing by CPU2a were separated thoroughly, Although other general processings will be performed after once interrupting a real-time operation and performing special processing when the special processing which is not prepared by the hardware as real-time processing unit 2b is needed Since it had become the configuration that the image once stored in the internal memory 4 could not be processed with real-time processing unit 2b, all processings after it had to be processed by software like drawing 35. In this case, since the hardware processing section (namely, real-time processing unit 2b) was not used at all, but it performed by software processing by CPU2a from the beginning to the last, and the process speed fell extremely and processing took time amount dramatically when an exceptional image processing was required, inconvenience, such as losing the opportunity of photography, had arisen.

[0005] Here, although the rate of CPU2a may be gathered from the beginning on the assumption that software processing, and improvement in the speed of processing may be attained, power consumption cannot become extremely large because of the high-speed operation of CPU2a at this time, and the content of processing cannot be complicated as compared with hardware processing.

[0006] From these things, it was hard to say that the not necessarily efficient image processing is performed by the conventional approach.

[0007] By this invention, after correcting only a part required of software processing by CPU, by enabling it to continue high-speed processing with a real-time processing unit again, a high-speed image processing is possible, and it is in offering the image-processing circuit of the digital still camera which can control power consumption low.

[0008]

[Means for Solving the Problem] That the above-mentioned technical problem should be solved invention according to claim 1 It is the image-processing circuit which performs a predetermined image processing about the image picturized with the image sensor in the digital still camera. The real-time processing unit which performs a predetermined general image processing by real-time processing about the pixel data by which a sequential input is picturized and carried out with said image sensor, The main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame, It has the CC section which performs exceptional image processings other than said general image processing as software program processing to the image once memorized in said main memory, and is stored in said main memory. Said real-time processing unit is characterized by having at least the selector which chooses the pixel data by which a sequential input is picturized and carried out with said

image sensor, and the pixel data of the image once stored in said main memory.

[0009] Invention according to claim 2 said real-time processing unit It comes to connect two or more image-processing sections one by one. The image-processing section of a forefront stage It connects so that the pixel data of the image once stored in said main memory may be selectively inputted through said selector. At least one of the image-processing sections after the 2nd step The pixel data inputted from the image-processing section of the preceding paragraph of the image-processing section concerned and the pixel data of the image once stored in said main memory It connects so that it may be selectively inputted by other predetermined selectors. The image-processing section of the last stage It connects so that pixel data may be sent out to said main memory, and from the image-processing section of said last stage, at least one of the image-processing sections of the preceding paragraph is connected so that pixel data may be sent out to both the image-processing section of the next step, and said main memory.

[0010] Invention according to claim 3 is further equipped with the timing generator for carrying out order of the timing of said real-time processing unit and said image sensor of operation. When said selector has chosen the pixel data by which a sequential input is picturized and carried out with said image sensor, said timing generator The synchronous-control function which synchronizes and carries out order of the timing of said real-time processing unit of operation, and the timing of said image sensor of operation, When said selector has chosen the pixel data of the image once stored in said main memory, it has the asynchronous-control function which carries out order of the timing of said real-time processing unit of operation, and the timing of said image sensor of operation to asynchronous.

[0011] When, as for invention according to claim 4, said selector has chosen the pixel data of the image once stored in said main memory, the pixel data concerned cover multiple times from said main memory to said real-time processing unit, and are inputted repeatedly cyclically.

[0012] The pixel data with which, as for invention according to claim 5, transmission and reception are performed between said real-time processing unit, said main memory, and said CC section It consists of component data which are four pieces to which the predetermined data length was given about each of four pixel components. At least one of said four component data One component data of arbitration processed within the general image processing is selectively stored within said real-time processing unit.

[0013] Invention according to claim 6 said real-time processing unit When the pixel data by which a sequential input is picturized and carried out with said image sensor, or the pixel data from said main memory is pixel data of 4 color system While each of the data of each component of four colors of the pixel data of the 4 color system concerned is stored in said each component data When the pixel data by which a sequential input is picturized and carried out with said image sensor, or the pixel data from said main memory is pixel data of 3 color system In addition to the pixel data of the 3 color system concerned, it has the function which adds one component data of arbitration processed by the data of the component of four colors within the general image processing within said real-time processing unit as predetermined description data of each pixel data.

[0014] The real-time processing unit which performs a predetermined general image processing by real-time processing about the pixel data by which invention according to claim 7 is picturized with said image sensor, and a sequential input is carried out, The main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame, It has the CC section which performs exceptional image processings other than said general image processing as software program processing to the image once memorized in said main memory, and is stored in said main memory. Said real-time processing unit When each pixel data by which a sequential input is picturized and carried out with said image sensor covers a multiple frame, each pixel data in each frame from the image sensor concerned is received. After adding the pixel data of the homotopic in a frame before once memorizing in said main memory, it has the accumulation processing facility which repeats the predetermined number of the accumulation processings again memorized in said main memory, and performs them.

[0015] The real-time processing unit which performs a predetermined general image processing by real-time processing about the pixel data by which invention according to claim 8 is picturized with said image sensor, and a sequential input is carried out, The main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame, It has the CC section which performs exceptional image processings other than said general image processing as software program processing to the image once memorized in said main memory, and is stored in said main memory. Said real-time processing unit When each pixel data by which a sequential input is picturized and carried out with said image sensor covers a multiple frame, each pixel data in each frame from the image sensor concerned, Before once memorizing in said main memory, the pixel data of the homotopic in a frame It has the circulation addition processing facility which repeats the predetermined number of the circulation addition processings again memorized in said main memory after adding carrying out multiplication with a predetermined weighting multiplier, respectively, and performs them. Said weighting multiplier in said circulation addition processing It is beforehand set up so that it may consist of the first multiplier which carries out multiplication to the pixel data of the homotopic in a frame before once memorizing in said main memory, and the second multiplier which carries out multiplication to each pixel data in each frame from an image sensor and the total value of said first multiplier and second multiplier may always be set to 1.

[0016] The real-time processing unit which performs a predetermined general image processing by real-time processing about the pixel data by which invention according to claim 9 is picturized with said image sensor, and a sequential input is carried out, The main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame, It has the CC section which performs exceptional image processings other

than said general image processing as software program processing to the image once memorized in said main memory, and is stored in said main memory. Said real-time processing unit It has the pixel amendment function which carries out the multiplication of the predetermined pixel amendment parameter beforehand memorized in said main memory for the predetermined pixel amendment including a shading compensation to each pixel data by which a sequential input is picturized and carried out with said image sensor.

[0017] The real-time processing unit which performs a predetermined general image processing by real-time processing about the pixel data by which invention according to claim 10 is picturized with said image sensor, and a sequential input is carried out. The main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame. It has the CC section which performs exceptional image processings other than said general image processing as software program processing to the image once memorized in said main memory, and is stored in said main memory. Said real-time processing unit has at least the function which chooses said accumulation processing facility according to claim 7 and a circulation addition processing facility according to claim 8.

[0018] The real-time processing unit which performs a predetermined general image processing by real-time processing about the pixel data by which invention according to claim 11 is picturized with said image sensor, and a sequential input is carried out. The main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame. It has the CC section which performs exceptional image processings other than said general image processing as software program processing to the image once memorized in said main memory, and is stored in said main memory. Said real-time processing unit has the function which chooses said accumulation processing facility according to claim 7, a circulation addition processing facility according to claim 8, and a pixel amendment function according to claim 9.

[0019] Invention according to claim 12 said real-time processing unit As opposed to the attention pixel which has a 3x3-pixel register and two line memory, and is located in the center in said 3x3-pixel register It has further a pixel reference block for referring to the pixel of the perimeter, and the colour selection block which performs pixel interpolation about a color component to said attention pixel in said pixel reference block. When each pixel in said pixel reference block is the pixel array of 2x2 of 4 color system, said colour selection block While the first data processing which performs the interpolation same about each pixel as mutual performs pixel interpolation, when each pixel in said pixel reference block is the pixel array of 3 color system You use one component in the pixel of said 3 color system as a pixel of four amorous glance within the same pixel array of 2x2 as 4 color system, and it is made to have the function to perform the second data processing which performs interpolation which is different of the one component concerned and other components in pixel interpolation processing of each pixel.

[0020] Invention according to claim 13 the pixel array of said 3 color system It is RGB BEIYA which consists of a red component, a green component, and a blue component. Said colour selection block in said real-time processing unit When each pixel in said pixel reference block is RGB BEIYA, said green component is used as a pixel of four amorous glance within the same pixel array of 2x2 as 4 color system. And said green component is arranged in the shape of the diagonal line within the pixel array of 2x2, and said green component is set to pixel interpolation processing in which it interpolates for other components. Pixel interpolation is carried out in quest of the average of said 4-pixel green component of the four directions of the attention pixel which are other components. Or it is made to have the function which carries out pixel interpolation in quest of the remaining averages of 2 pixels except the minimum value and maximum among said 4-pixel green components of the four directions of the attention pixel which are other components.

[0021] Invention according to claim 14 said real-time processing unit It has further the autofocus assessment section which outputs the high frequency component assessment value which integrated with the absolute value of the difference of two or more neighboring pixels of the same predetermined component about the fixed field among the pixel arrays in an image as an assessment value for performing proper assessment for being autofocus. Said autofocus assessment section alienation of the pixels of the same component of the couple which should take difference — with the selector which can change timing selectively the alienation chosen by said selector — it has the arithmetic circuit which calculates the absolute value of the difference of the pixel of the same component of the couple which estranged only timing, and the accumulation adder with which only the count of fixed carries out accumulation of the absolute value by which a sequential output is carried out from said arithmetic circuit.

[0022] Invention according to claim 15 is an image-processing circuit which performs a predetermined image processing about the image picturized with the image sensor in the digital still camera. The real-time processing unit which performs a predetermined general image processing by real-time processing about the pixel data by which a sequential input is picturized and carried out with said image sensor, It has the main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame. Said real-time processing unit The defective pixel address stored in said main memory besides the real-time processing unit concerned is read, and when the pixel address of the pixel data in an image is in agreement with said defective pixel address, it has further the defective pixel amendment section which performs defective pixel amendment.

[0023] When two or more defective pixel addresses stored in said main memory exist, invention according to claim 16 Two or more defective pixel addresses in the sequence which the pixel array followed one by one are stored. The defective pixel amendment section of said real-time processing unit The shift register with which the sequential input of the defective pixel address which two or more registers stood in a row, and was stored in main memory is carried out, The address counted value of the pixel data by which are connected to the last stage of said shift register, and a sequential input is carried out, The defective pixel address given from the last stage of said shift

register is compared, and it has the comparator which outputs a defective pixel timing signal when in agreement. Said shift register The defective pixel address is held, and the output of the last stage carries out a loop formation to the input terminal of a forefront stage, and is formed. Said comparator The address counted value of the pixel data by which a sequential input is carried out is compared with the defective pixel address given from the last stage of said shift register. When in agreement, it is the comparator which outputs the signal of shift timing and defective pixel amendment timing, and the shift of said shift register is performed by the signal of the shift timing given from said comparator.

[0024] Invention according to claim 17 is an image-processing circuit which performs a predetermined image processing about the image picturized with the image sensor in the digital still camera. The real-time processing unit which performs a predetermined general image processing by real-time processing about the pixel data by which a sequential input is picturized and carried out with said image sensor, The main memory which memorizes the pixel data outputted from said real-time processing unit at least per image frame, It has the CC section which performs exceptional image processings other than said general image processing as software program processing to the image once memorized in said main memory, and is stored in said main memory. Said real-time processing unit The gamma correction table which can perform gamma correction processing about the one pixel data concerned when one pixel data of N bit length is given, When one pixel data of N bit length is given, while inputting the one pixel data concerned into said gamma correction table (N-2) When the pixel data of bit length are given It has further the selector switched so that four data streams given to each of four look-up tables which come to quadrisect said gamma correction table one by one as pixel data of bit length (N-2) may be inputted.

[0025] Invention according to claim 18 said real-time processing unit The color space conversion circuit which changes the pixel data of the first array method which has a predetermined color component array into the predetermined pixel data of the second array method which has a color component (generally brightness component) specially, Said predetermined look-up table for special colors of the pixel data of said second array method changed in said color space conversion circuit which inputs only a color component specially, carries out numerical conversion and outputs the value of the special color component concerned with a predetermined function, It has said predetermined multiplier of the pixel data of said second array method which carries out multiplication to components other than a color component specially, respectively for the value outputted from said look-up table for special colors.

[0026] Invention according to claim 19 said real-time processing unit The selector which chooses the high-frequency component signal of the green component obtained with said pixel reference block within said colour selection block, and the pixel of four amorous glance stored in said main memory, The look-up table for the description data which carries out numerical conversion and which the data chosen by said selector are inputted as description data, and is outputted with a predetermined function, It has the multiplier which carries out the multiplication of the value outputted from said look-up table for the description data to each component of the pixel data of a predetermined pixel array, respectively.

[0027] Invention according to claim 20 said real-time processing unit The pixel of four amorous glance of each pixel which was stored in said pixel reference block within said colour selection block, or was given from said image sensor, The selector which chooses the pixel of one component in the pixel of said 3 color system which was used as a pixel of four amorous glance within the pixel array of 2x2 in the pixel array of said 3 color system, The look-up table for the description data which inputs the pixel chosen by said selector as description data, carries out numerical conversion and outputs the description data concerned with a predetermined function, It has the multiplier which carries out the multiplication of the value outputted from said look-up table for the description data to each component of the pixel data of a predetermined pixel array, respectively.

[0028] Invention according to claim 21 said real-time processing unit The color space conversion circuit which changes the pixel data of the first array method which has a predetermined color component array into the predetermined pixel data of the second array method which has a color component (generally brightness component) specially, It has further the selector which switches the propriety of an input to said color space conversion circuit of the data of the component of one in the data of the pixel of four amorous glance outputted from said colour selection block, or the pixel data of said first array method. Said color space conversion circuit has the function to change into the pixel data of the second array method the data concerned to which the input was permitted as data of the pixel of four amorous glance, when said selector permits an entry of data to the color space conversion circuit concerned.

[0029] Invention according to claim 22 said real-time processing unit Block division is carried out into an image frame at two or more blocks of at least 3x3. Front [in each block], it has further the exposure decision assessment machine of a pixel which calculates the integral value of a color component (generally brightness component) specially, and outputs the assessment value of the exposure decision at the time of an image pick-up with an image sensor. It is made for said exposure decision assessment machine to make a setting-out change of the borderline of said the blocks of each at arbitration in the direction of four directions.

[0030] Invention according to claim 23 said real-time processing unit It has further the spatial filter which processes the data constellation in a predetermined color space, and the profile amendment processing section which carries out the gain adjustment only of the component after frequency conversion among said data constellations in said spatial filter, and performs profile amendment processing. Said profile amendment processing section has the function which outputs the data which carried out the gain adjustment only of the component after frequency conversion among said data constellations in said spatial filter, and the former data in said spatial filter as separate

data.

[0031] Invention according to claim 24 said real-time processing unit Only when the amplitude of said RF special color component given from said spatial filter is smaller than predetermined threshold width of face in profile amendment processing in the profile amendment processing section The coring function block which removes the noise component in an image with considering that the amplitude concerned is a zero value with a predetermined nonlinear operation function, and outputting, It has the reverse gamma effectiveness block to which the ratio of the amplitude of said high frequency special color component to said predetermined threshold width of face in said coring function block is changed relatively. Said reverse gamma effectiveness block is determined by the special color component of the former data given from said spatial filter with a predetermined ratio transform function in said ratio. Said predetermined ratio transform function is set up so that said ratio [as opposed to /, so that a color component is extraordinarily large / said predetermined threshold width of face] of the amplitude of a RF special color component of said former data may be ****(ed).

[0032] Said data constellation in said spatial filter in said real-time processing unit is constituted for invention according to claim 25 as accumulation of the data of three components. Said real-time processing unit 3 component output or 4 component output is selectable to said main memory, and when it is any, an output is selectively possible to the output of at least 1 component in one component in three components in said spatial filter, and the special color component after frequency conversion.

[0033] Invention according to claim 26 said main memory When even lines and odd lines use the thing of the interlace type by which reading appearance is carried out to different timing in time as the two fields as said image sensor The pixel data of the first field concerning said one side of even lines and said odd lines are stored. Said real-time processing unit In case the sequential input of the pixel data of the second field concerning another side of said even lines and said odd lines is carried out from said image sensor The pixel data in said first field in said main memory corresponding to the pixel data concerned are read and referred to synchronizing with the pixel entry of data of said second field, and a predetermined image processing including pixel interpolation processing, color space conversion processing, and profile amendment processing is performed.

[0034] Invention according to claim 27 said real-time processing unit It has the line memory which stores the pixel data of the predetermined number in one line. Said main memory The image of the frame unit given from said image sensor is stored. Said real-time processing unit When there are more image pick-up pixels of one line of said image sensor than the number of the pixel data in said line memory Said image of the frame unit stored in said main memory is horizontally divided into two or more blocks, and is recognized. In said line memory in said real-time processing unit The sequential input of the pixel data applied to said said image divided into the block within said main memory is carried out. [two or more]

[0035]

[Embodiment of the Invention] Drawing 1 is drawing showing the digital still camera concerning the gestalt of implementation of one of this invention. This digital still camera captures and carries out A/D conversion of the image picturized by CCD (image sensor)21 like drawing 1 in the analog signal processing circuit 22. The pixel interpolation about this digitized image, color conversion, profile amendment processing, While performing predetermined general image processings, such as filtering and infanticide processing, at a high speed in a real-time operation (real-time processing) in the real-time processing unit (RPU) 23 After performing an exceptional image processing including JPEG compression processing etc. by CPU (CC section)24, Through an external interface (I/F) 26, it outputs to a predetermined processor (personal computer) etc., it combines with it, and the image concerned is displayed on LCD27 as a finder, and it stores in general main memory 29 grades, such as DRAM or SDRAM. Under the present circumstances, when the push operation of the ***** etc. is done by the operator although image display in a finder 27 is performed with outputting an image one after another after the real-time processing unit 23 performed predetermined processing of dropping some resolution about image supply on a finder (LCD27), the detailed image in main memory 29 is stored in the recording device (Storage Media) of memory card 30 grade at a stretch.

[0036] and about the image given through the analog signal processing circuit 22 On the other hand (refer to drawing 34), in [which processes directly by RPU23 without storing intermediate pixel array data in main memory 29 when performing a real-time operation] not performing a real-time operation By for example, the thing for which the pixel array data which it was processed by CPU24 and were once stored in CCD data buffer (CCD Data Buffer) 29a of main memory 29 like drawing 2 are again inputted into the real-time processing unit 23 by Direct Memory Access (DMA) It processes at a high speed.

[0037] That is, with the digital still camera of the gestalt of this operation, it is possible to rerun again various processings, such as pixel interpolation of the image once stored in main memory 29, color conversion, and profile amendment processing, in the real-time processing unit 23 always. By this for example, the special processing which is not planned in the real-time processing unit 23 only about the part of the request in an image After software-processing and correcting by CPU24, other closed processings etc. can be processed at a high speed in the real-time processing unit 23. Since it is not necessary to become acceleratable [dozens times / several to / as many as this] as compared with the time of software performing all and and CPU24 does not need to process at this time, power consumption is reducible.

[0038] Here, the bus connection of the real-time processing unit 23, CPU24, and the external-interface 26 grade is carried out to Maine Bath 28 with main memory 29, a memory card 30, and the JPEG processing section 31, and they are delivering and receiving the data which led Maine Bath 28 between each element based on control of the

Direct-Memory-Access (DMA) controller 32 that the load of CPU24 should be reduced on the occasion of delivery between these data, without minding this CPU24.

[0039] The LCD actuation circuit where sign 27a in drawing 1 drives LCD27, and sign 27b In addition, a digital encoder, The optical device in which, as for sign 27c, display module and sign 30a has a lens, a drawing device, etc. with an autofocus function, The CCD actuation circuit where stroboscope and sign 30c drives CCD21 in sign 30b, A timing generator for 30d of signs to carry out order of the timing of operation, such as the real-time processing unit 23 and CCD actuation circuit 30c, (TG), The co-processor whose sign 30e is a PLL dispatch circuit and 30f of whose signs is the auxiliary arithmetic unit of CPU24 is shown, respectively.

[0040] The <configuration of CCD21> CCD 21 equips the interior with the charge storage section and the charge transfer section, and the thing of the interlace (interlaced scanning) type by which reading appearance is carried out to the analog signal processing circuit 22 to the general timing from which even lines and odd lines completely differ in time as the two fields, or the thing of each progressive (sequential scanning) type with which read-out is performed one by one in order of a line is used selectively. Of course, a CMOS sensor type thing without the charge transfer section is also applied, and does not interfere.

[0041] The configuration of the real-time processing unit 23, and the processing unit 23 real-time [<of operation>] The single pixel processing section 41 which processes each pixel obtained through the analog signal processing circuit 22 like drawing 3 by each pixel measure (Single Pixel Proccessing Block), The pixel interpolation and the gamma processing section 42 which performs gamma processing while performing predetermined pixel interpolation (Interpolation & Gamma Block), A color space conversion and the color oppression processing section 43 (Color Space Conversion & False Color Suppression Block), It has the spatial filter coring processing section (Special Filter & Coring Block) 44 and the output section (Resizing Block) 45 which outputs the image data to which these image processings were performed to Maine Bath 28.

[0042] And especially about the single pixel processing section 41, and pixel interpolation and the gamma processing section 42, the image once stored in main memory 29 can be captured now by control by the Direct-Memory-Access (DMA) controller 32 at any time. Thus, since it can input not only into the single pixel processing section 41 of the first rank of the real-time processing unit 23 but into pixel interpolation and the gamma processing section 42 of a halfway stage, after performing the exceptional image processing of an image by CPU24, processing from the halfway (pixel interpolation and gamma processing section 42) of the real-time processing unit 23 can be performed, without passing the single pixel processing section 41. That is, lowering of a process speed can be suppressed to the minimum by software's performing only the part which performs an exceptional image processing, and processing all other processings in the high-speed real-time processing unit 23.

[0043] Moreover, in a actual digital still camera, a special exceptional image processing, such as carrying out the gamma correction only of the "G (Green)" component, may be performed as opposed to the pixel data incorporated by CCD21. In this case, what the starting special processing performs various general image processings for in the real-time processing unit 23 to the image which the specification of the function by which easy was beforehand carried out to the real-time processing unit 23 as hardware could not be carried out in many cases, and therefore once stored it in main memory 29 (postprocessing-ost Processing) is performed. And with the digital still camera of the gestalt of this operation, the processing clock of the real-time processing unit 23 is set as a frequency higher than the time of a real-time operation at the time of this postprocessing, and it is made to perform postprocessing at a high speed in ****. In addition, generally the read-out clock of the pixel of conventional CCD21 and the processing clock of the real-time operation in the real-time processing unit 23 always synchronize. For this reason, if it is carrying out postprocessing in the real-time processing unit 23 again once carrying out exceptional processing by CPU24 about the image data of CCD21 and storing in main memory 29, it will be expected that the processing time starts as a whole quite long. so, with the gestalt of this operation, the pixel of CCD21 carries out reading appearance of the processing clock of the real-time processing unit 23, it enables it to set it as asynchronous independently from a clock, and the process speed of the real-time processing unit 23 at the time of postprocessing is substantially raised compared with the data transfer rate from CCD21. Thereby, compared with the case where the processing clock of CCD21 and the real-time processing unit 23 is synchronized, the speed of postprocessing can be gathered two to 4 times.

[0044] Thus, since the processing clock of the real-time processing unit 23 is accelerated to asynchronous compared with the data transfer rate from CCD21, the one pass of the real-time processing unit 23 will be completed dramatically for a short time. If this is taken into consideration, even if it ***** data to the real-time processing unit 23, in postprocessing, the process speed as the whole will not be delayed so much to the read-out rate of CCD21. Therefore, it becomes possible easily by letting data pass two or more times to the real-time processing unit 23 for a specific function to be made to be able to overlap and act on data, and to be able to make each function extend, for example, to extend the function of making the range of the below-mentioned spatial filter 91 increase equivalent etc., without reducing overall processing speed.

[0045] in addition, since the pixel of CCD21 carries out reading appearance of the processing clock of the real-time processing unit 23 and it is made to asynchronous from a clock, it is possible to also make reverse reduce the process speed of the real-time processing unit 23 compared with the above from CCD21 to a transfer rate. In this case, the power consumption in the real-time processing unit 23 can be reduced.

[0046] A change of such a processing clock in asynchronous is made by (timing generator TG) 30d shown in drawing 1, desirably, it carries out easy [of the setting out of some kinds of clock frequencies] beforehand about setting out of the processing clock of the real-time processing unit 23 by this (timing generator TG) 30d, and a driver

software program, a connection switch of a jumper pin, or a switch of a DIP switch changes setting out of a clock frequency easily. Thereby, a power consumption property and a processing speed property can be designed now freely and easily about postprocessing.

[0047] The configuration of the single pixel processing section 41 and the single pixel processing section 41 <of operation> By performing multiplication, addition, or the operation of the both for each [which was given from the analog signal processing circuit 22] pixel of every It is what performs selectively either "with-time equalization processing" between the images of a multiple frame, and "shading compensation processing" within one frame. Specifically Three FIFO 51a-51c for connecting with Maine Bath 28, respectively and adjusting the timing of data I/O like drawing 4 , (buffer), One shifter 52 into which the pixel data from Maine Bath 28 are inputted through first FIFO51a of these (Shifter), The first selector 53 which chooses the input data (Input Data) of 12 bit length from the analog signal processing circuit 22, and the data of 12 bit length from the above-mentioned shifter 52 (Selector), The first multiplier 54 which carries out the multiplication of the first predetermined multiplier (Ratio A) to the pixel data from Maine Bath 28 obtained through second FIFO51b, The second selector 55 which chooses the pixel data from Maine Bath 28 obtained through second FIFO51b, and the second predetermined multiplier (Ratio B), The second multiplier 56 which carries out the multiplication of the output value from this second selector 55, and the output value from a first selector 53, In order to perform a signal output to Maine Bath 28 through third FIFO51c in response to the output value from the adder 57 adding the output value from the first multiplier 54, and the output value from the second multiplier 56, and an adder 57 It has the limiter (Limmitter & Shifter) 58 which fits the data after addition to constant value.

[0048] Although performing addition processing of the image of a multiple frame in the single pixel processing section 41 was not performed by the former here In "with-time equalization processing" of this single pixel processing section 41 When the storage time of CCD21 includes a multiple frame, a signal equivalent to the are recording on CCD21 of a multiple frame is created by reading data from CCD21 for every frame, and adding with the data of a pixel with which it corresponds on main memory 29. In this case, either addition method of "accumulation" and "circulation addition" can be chosen now.

[0049] Here, "accumulation" is explained first.

[0050] In the former, the object was dark, and when the storage time of CCD21 included a multiple frame (field), after [that] carrying out a period halt, increasing charge level and making it sufficient signal level, a photograph was taken by impressing a read-out pulse in read-out in the charge transfer section of CCD21 from the charge storage section. However, an image S/N property falls that the noise charge in the charge storage section in CCD21 begins to spring in this case. in order to avoid this — the reading appearance of a charge — carrying out — although usually carrying out periodically, raising gain and processing the signal by which reading appearance was carried out in the electrical circuit of an analog and a digital circuit might be performed in the former, since reading appearance is carried out also in this case and subsequent random noise increases with predetermined amplifier, an S/N property falls too.

[0051] on the other hand, with the digital still camera concerning the gestalt of this operation, accumulation over a multiple frame period is performed by usually maintaining the period of read-out in the above-mentioned case, increasing analog gain to it, adding the data once stored in main memory 29, and the data of the frame (field) which newly carried out reading appearance to it with an adder 57, and repeating storing in main memory 29 again. And the data of sufficient signal level with sufficient S/N can be obtained, without increasing the noise of the charge storage section by doing the division of the accumulation data obtained eventually by the count of addition. Usually, since the noise of the charge storage section and the charge transfer section in CCD21, or the analog signal processing circuit 22 has a dominant random noise, if the count which carries out accumulation is made into N time, the level of a noise will become small in proportion to the 1-/square of N. By this, random noise can be substantially reduced now.

[0052] In this case, a first selector 53 chooses the input data from the analog signal processing circuit 22. It is that the second selector 55 chooses the second multiplier (RatioB) given with the value "1.0", and the first multiplier (Ratio A) is given by "1.0." In an adder 57, accumulation can be further carried out now to the accumulated data of the past to which the input data from the analog signal processing circuit 22 is given from main memory 29 through Maine Bath 28 and second FIFO51b.

[0053] Thus, it is drawing 5 which showed the processing structure of the single pixel processing section 41 at the time of performing setting out of each multiplier (Ratio A, Ratio B) as accumulation, and selection of each selectors 53 and 55. The input data (Input Data) given through the analog signal processing circuit 22 from CCD21 is cumulatively added to the data stored in CCD data buffer (CCD Data Buffer) 29a in main memory 29 with an adder 57 like drawing 5 , and updating storage is carried out again at CCD data buffer 29a. After giving other blocks 42-45 in the real-time processing unit (RPU) 23 after repeating this accumulation N times, and storing in processing data buffer (Processed Data Buffer) 29b in main memory 29 per frame, while CPU24 performs predetermined software processing if needed and storing this in memory data buffer (Temporaly Data Buffer) 29c in main memory 29, it outputs to external I/F26 grade through Maine Bath 28.

[0054] Here, an accumulation operation is carried out according to an individual about each pixel data of the same location in the inside of pixel array data, and sequential storing of the accumulated data obtained from main memory 29 through Maine Bath 28 and the input data obtained from the analog signal processing circuit 22 is carried out as pixel data of the same location after that at main memory 29.

[0055] Since one frame will be sufficient for the capacity of main memory 29 compared with the case where

accumulation of the image for a multiple frame is stored and carried out to memory by adopting this configuration, while there is little memory space, it ends and attains low cost-ization, there is an advantage that power-saving can be attained. Moreover, since the real-time processing unit 23 can perform accumulation processing synchronizing with read-out of the image in CCD21, after storing the image for a multiple frame in memory, compared with the case where accumulation is carried out by actuation of CPU according to a certain software program, the rate of addition processing can be improved substantially, for example.

[0056] In addition, bit length will be extended as the count of addition at the time of carrying out accumulation of the image data in the case of this "accumulation" increases. For example, if 8-bit image data is added 256 times, the data length of 16 bits must be secured. If this is 8-bit image data when the data length of 16 bits will be secured, if it says to reverse, when it can be added only 256 times as an addition limit but will exceed this, a part of signal may overflow it. Moreover, when, designing the real-time processing unit 23 for example, so that it can respond to 12 bits as input data and the data length of 16 bits is secured, accumulation can only be carried out a maximum of $16 (= 2^{16}-12)$ time to 12-bit input data. Thus, when there are few counts of addition processing, sufficient equalization processing may not be able to be performed depending on the brightness of a photographic subject, and the amount of a noise. Therefore, when improvement in a S/N ratio is strongly called for according to factors, such as an operating environment, it may be desirable to lose a limit to the count of addition, and the method in consideration of such a case is "circulation addition."

[0057] When the storage time of CCD21 includes a multiple frame, this "circulation addition" As opposed to the pixel data which read data from CCD21 for every frame, and are given from main memory 29 through Main Bath 28 and second FIFO51b like drawing 4 While carrying out the multiplication of the alpha as the first multiplier (Ratio A) with the first multiplier 54 To the input data from CCD21, the multiplication of the $(1-\alpha)$ is carried out with the second multiplier 56 as the second multiplier (Ratio B), and a signal equivalent to the are recording on CCD of a multiple frame is created by adding these. in this case, the sum total of the first multiplier (Ratio A= α) and the second multiplier (Ratio B= $1-\alpha$) is set up so that it may be set to "1" — having — **** — the value of alpha — "0" — size — and it is set up by the experience of an experiment etc. as any value of under "1." Moreover, each selection by the first selector 53 and the second selector 55 is the same as that of the case of "accumulation." According to the this "circulation addition" method, a contribution will be higher than old input data, and the point which is hard to treat a little about time balance of data also has the direction of the input data of the added newest, or the past, comparatively new input data near this, but In the addition processing for reducing random noise, there is an advantage that the count of addition can be enlarged by carrying out the differential-gear rate of the data length according to the count of addition, without increasing the amount of data on memory. Therefore, frame addition of long duration (count of infinity) is attained to perform sufficient equalization processing with the brightness of a photographic subject, or the amount of a noise, without making the data length of the are recording section increase.

[0058] Thus, it is drawing 6 which showed the processing structure of the single pixel processing section 41 at the time of performing setting out of each multiplier (Ratio A, Ratio B) as circulation addition, and selection of each selectors 53 and 55. As opposed to the input data (Input Data) given through the analog signal processing circuit 22 like drawing 6 from CCD21 As opposed to the data which carried out the multiplication of the second multiplier (Ratio B= $1-\alpha$) with the second multiplier 56, and were stored in CCD data buffer (CCD Data Buffer) 29a in main memory 29 The multiplication of the first multiplier (Ratio A= α) is carried out with the first multiplier 54, these are added with an adder 57 and updating storage is carried out again at CCD data buffer 29a. After giving other blocks 42-45 in the real-time processing unit (RPU) 23 after repeating this circulation addition N times, and storing in processing data buffer (Processed Data Buffer) 29b in main memory 29 per frame, while CPU24 performs predetermined software processing if needed and storing this in memory data buffer (Temporally Data Buffer) 29c in main memory 29, it outputs to external 1/F26 grade through Main Bath 28.

[0059] Since "accumulation" and "circulation addition" can be chosen as arbitration like this drawing 5 and drawing 6 using the same circuit shown in drawing 4, the degree of freedom of a design can be secured and there is an advantage that the versatility of this single pixel processing section 41 improves.

[0060] Furthermore, it can perform now by choosing "shading compensation processing" which is a completely different function in addition to the addition processing for the above-mentioned noise relaxation using the same circuit shown in above-mentioned drawing 4.

[0061] Generally, when photoing an object, scenery, etc. by CCD21, it may originate in an optical operation of a lens etc. and shading said that the perimeter becomes dark compared with the brightness of a center position may occur. Drawing 7 is drawing showing the condition that shading occurred in an image, an axis of abscissa shows the location of an image line, and the axis of ordinate shows the intensity level. In drawing 7, the brightness of the perimeter part is low relatively compared with a part for the core in an image line. Such a phenomenon appears notably, when using a wide angle lens etc. as a lens. In order to ease this shading, "shading compensation processing" performs gain adjustments, such as a brightness value of each pixel.

[0062] In addition, in carrying out a shading compensation for every pixel, in order considering the case where CPU24 performs software processing, for example, and shading compensation processing is performed to perform the shading compensation of a lens etc. conventionally, the memory for one line which stores a multiplication multiplier (shading compensation parameter) is prepared for the interior of RPU, and it was amending by multiplying the data and the input data from CCD21. However, in this approach, since only horizontal amendment was performed, memory needed to be added or data needed to be periodically updated by software to amend also

perpendicularly so that it could have the multiplication multiplier (shading compensation parameter) of two or more lines. since the multiplication of the different multiplication multiplier (shading compensation parameter) for every pixel in one line be carried out , it had to have the multiplier of a large quantity , the capacity of internal memory became huge , and the amendment unit of a horizontal picture element had to be made into two or more pixel unit since renewal of the data in software be also very frequently needed and the vertical line also had to be made into two or more line unit , time amount start and be dramatically desirable when carry out software processing of this . [0063] For this reason, in CPU24, the image of one frame is divided into the block of the shape of some grid like the vertical line in drawing 7 , and the method of performing a shading compensation between [these] blocks is also considered. However, if it divides per block and shading compensation processing is performed, when a level difference is made to a brightness value and it sees as an image in the break part (vertical line in drawing 8) of a block like drawing 8 , it will become an unnatural stripes-like image.

[0064] In consideration of these problems, shading compensation processing is performed at a high speed for each pixel of every in the single pixel processing section 41 in the real-time processing unit 23 of the gestalt of this operation.

[0065] The shading compensation parameter of a pixel unit is stored on 29d of amendment data storage fields in main memory 29, and, specifically, a pixel unit is amended by inputting amendment data into the real-time processing unit 23 by Direct Memory Access (DMA) at the time of capture of the image data in CCD21. Shading compensation processing of a pixel unit can be realized at a high speed, without this applying a burden to CPU24 concerning software processing. When there is a request of a commercial scene which replaces especially with CCD21 and uses a CMOS sensor, since unlike a CCD sensor a readout circuitry gets down independently for every pixel and the error of a pixel unit tends to generate this CMOS sensor, this invention becomes effective. moreover — since it is not necessary to install a register special in the real-time processing unit 23, while being able to hold down cost low by making circuitry easy — power consumption — it can decrease .

[0066] In this "shading compensation processing", like drawing 4 and drawing 9 , in the second selector 55 The multiplication multiplier (shading compensation parameter) for every pixel given through Maine Bath 28 and second FIFO51b from 29d of amendment data storage fields in main memory 29 is chosen. The multiplication of the multiplication multiplier (shading compensation parameter) chosen here is carried out for every pixel to the pixel data from CCD21 with the second multiplier 56, and the image data of the result is stored in CCD data buffer (CCD Data Buffer) 29a. In addition, the first multiplier (Ratio A) by which multiplication is carried out with the first multiplier 54 is "0", since the multiplication value is therefore set to "0", with an adder 57, a value "0" will be added to the result in the second multiplier 56, therefore, as for the output of an adder 57, the output value from the second multiplier 56 is maintained as it is here.

[0067] Since the same circuit as the circuit shown in above-mentioned drawing 4 is only being used for this circuit, three functions of "accumulation", "circulation addition", and "shading compensation processing" can be chosen and used for it in this same circuit. In addition, two or more of these functions can be easily chosen in the driver program (BIOS) used for actuation control of the single pixel processing section 41 of the real-time processing unit 23 only by changing selection of each selectors 53 and 55, and setting out of each multiplier (Ratio A, Ratio B). Therefore, a driver program may be set up so that it may limit to one of functions beforehand among three functions, "accumulation", "circulation addition", and "shading compensation processing", or you may set up so that it can switch by setting out of the jumper pin on command input or the circuit board, or a DIP switch.

[0068] Pixel interpolation <of operation> and the configuration [of pixel interpolation and the gamma processing section 42] and gamma processing section 42 are a block which performs the gamma correction of an image while performing pixel interpolation at the time of reading an image from CCD21.

[0069] First, the pixel interpolation function of pixel interpolation and the gamma processing section 42 is explained.

[0070] Generally, in picturizing a color picture in CCD21, the filters (complementary color types, such as a RGB-Bayer or YMCG system etc.) of a different color for every pixel are used in many cases.

[0071] RGB-Bayer is that over which the filter of 3 color system is covered for every pixel. Generally three colors of "R (red component)", "G (green component)", and "B (blue component)" are performing the pixel array, for example, either odd lines or even lines are set to "R, G, R, G —" like drawing 10 , and another side is set to "G, B, G, B —". In this case, although it has by $2 \times 2 = 4$ pixel and 1 set of colors are recognized as the thick wire frame in drawing 10 showed, in within the limit [this / thick wire], "G" is arranged at both an upper right location and a lower left location.

[0072] Moreover, a complementary color type (a YMCG system or YMCK system) It is that over which the filter of 4 color system of a different color component for every pixel is covered. Like drawing 11 Either odd lines or even lines are set to "C (cyanogen color component), M (MAZENDA color component), C, M —", and another side is set to "Y (yellow color component), G (green component), Y, G — (in the case of a YMCG system)." It is that over which the filter of a color component with which these also differs for every pixel was covered, and it has by $2 \times 2 = 4$ pixel, and 1 set of colors are recognized as the thick wire frame in drawing 11 showed.

[0073] It is drawing 12 which generalized the pixel array these RGB-Bayer and complementary color type (YMCG system etc.) by the notation "A", "B", "C", and "D." Although it is necessary to change into Y (brightness), Cr (= $\alpha 1$ [R(red component)-Y (brightness)]), and Cb (= $\alpha 2$ [B(blue component)-Y (brightness)]) which are a JPEG system color space eventually for every pixel with the digital still camera of a JPEG system based on these pixel arrays Here, in order for there to be only a component of "D" and to interpolate the component of other "A", "B", and "C" about this pixel, for example in DataX1 of drawing 12 , these surrounding components will be referred to.

[0074] When referring to the component of "A" in DataX1 like drawing 13 in a complementary color type (YMG system etc.) case, equalization processing of the component of "A" of a slanting four way type is performed, and, specifically, the component of DataX1 is seasoned with this. Moreover, when referring to the component of "A" in DataX2 (component of "C"), equalization processing of the component of "A" which adjoins up and down is performed, and the component of DataX2 is seasoned with this. Furthermore, when referring to the component of "A" in DataX3 (component of "B"), equalization processing of the component of "A" which adjoins right and left is performed, and the component of DataX3 is seasoned with this. The same is said of interpolation of other components "B", "C", and "D." In spite of inputting the signal of a pixel array according to each line here In order to have to refer to a line in order to perform pixel interpolation of DataX1 in drawing 13, before and after differing from the line of DataX1 concerned, for example, in this pixel interpolation and gamma processing section 42 Installing the line buffers 61a and 61b for storing two lines of order to the pixel which performs pixel interpolation, and delivering a pixel between these line buffers 61a and 61b and the 3x3-pixel register 62 Pixel interpolation is performed in this colour selection block 63, selecting the value of each pixel of this 3x3-pixel register 62 with the colour selection block 63. That is, to CCD21 of 4 color configurations of 2x2 like complementary color types (YMG system etc.), pixel interpolation is performed by performing the same data processing altogether like the approach shown in drawing 13. In addition, line buffers 61a and 61b and the 3x3-pixel register 62 constitute the pixel reference block for referring to the pixel of the perimeter to the attention pixel located in the center in the 3x3-pixel register 62.

[0075] On the other hand, in RGB-Bayer of 3 color system, as the thick wire frame in drawing 10 showed, in addition to three colors of "R", "G", and "B", "G" is again used as a color component of four amorous glance. Thus, both 3 color system and 4 color system have come to be able to carry out a real-time operation by the same circuit to CCD21 of RGB-Bayer by replacing a part of colour selection block (four amorous glance). When carrying out color interpolation processing about RGB-Bayer of this 3 color system, different processing from processing of the complementary color types (YMG system etc.) of 4 color system is needed. Namely, although it is possible to perform processing as shown in drawing 13 about all pixels in color interpolation processing of the complementary color types (YMG system etc.) of 4 color system When carrying out color interpolation processing about "G" of RGB-Bayer of 3 color system (for example, when interpolating "G" to this also in "B" also in "R" in drawing 10) What is necessary is just to perform color interpolation based on "G" of these four way types, since the four way type of the vertical direction and a longitudinal direction is adjoined and "G" exists (the first interpolation approach). Or it is very good in the remaining averages of "G" of 2 pixels which removed the thing of the minimum value, and the thing of maximum among 4 pixels "G" which adjoins and exists in the four way type of the vertical direction and a longitudinal direction (the second interpolation approach). It enables it to choose these first interpolation approaches and second interpolation approaches as arbitration actually by setting out of the driver software program for actuation of the colour selection block 63 etc. Thereby, the degree of freedom of a design change improves substantially. Interpolating "R" which adjoined in the direction of length (upper and lower sides) about "G" on the other hand, "B" which adjoined in the direction of width (right and left) is only interpolated, it is unnecessary and the interpolation based on other "G" of a slanting four way type serves as greatly different processing from processing as shown in drawing 13.

[0076] It sets to this RGB-Bayer. Or about one side of the two "G" of a thick wire within the limit in drawing 10 It is utilizable as "description data (KEY signal)" in which it is also possible to utilize in false as the overall brightness component and emphasis component of a pixel of this part, and it does not extract as a color component of each pixel, but the predetermined descriptions, such as a brightness component, an emphasis component, etc. of a pixel, are shown.

[0077] For example, the 32-bit signal which added each 8 bits of KEY signals to 8 bits as "R", "G", and "B" is arranged as four chrominance signals on 3x 3-pixel register 62 in drawing 14, and is used as "description data (after-mentioned)" for every pixel by the processing process in each blocks 43, 44, and 45 of the real-time processing unit 23.

[0078] Furthermore, also in the complementary color types (YMG system etc.) of 4 color system, it is utilizable as "description data (after-mentioned)" in which it is also possible to utilize, for example about "G" in false as the overall brightness component and emphasis component of a pixel of this part, and it does not extract as a color component of each pixel, but the predetermined descriptions, such as a brightness component, an emphasis component, etc. of a pixel, are shown.

[0079] In addition, generally, when processing 3 color system in the processing circuit which can treat 3 color system processing and 4 color system processing, how to pack and store 3 color data on predetermined memory, or to disregard and process the data of four amorous glance can be considered. However, especially in the case of the latter, the problem that memory and a processing circuit are effectively unutilizable arises.

[0080] on the other hand, with the digital still camera of the gestalt of this operation When 3 color data are stored in memory arrangement of 4 color processing in main memory 29 Each pixel is stored in the field equivalent to four amorous glance, and it is made to utilize as the below-mentioned "the description data (KEY signal; for example, "G")" for performing predetermined characterization for every pixel in the software processing by a color space conversion and the below-mentioned color oppression processing section 43, and below-mentioned CPU24. Various kinds of non-line type processings and pixel unit processings can be dramatically performed at a high speed by [in the real-time processing unit 23] using it in processing. [in / for processing of pixel interpolation of these four amorous glance / each blocks 43, 44, and 45]

[0081] As opposed to each pixel data outputted from the limiter 58 of the single pixel processing section 41 like drawing 14 in this color interpolation processing Each color component is arranged to the 3x3-pixel register 62, using line buffers 61a and 61b as mentioned above. Selecting the signal of each of these color components with the colour selection block 63 according to the input of the V_Count signal based on the H_Count signal and Vertical Synchronizing signal based on a Horizontal Synchronizing signal, equalization processing is performed and pixel interpolation is performed. This becomes possible by the processing process in each blocks 43, 44, and 45 of the latter part of the real-time processing unit 23 to use it as "description data (after-mentioned)" for every pixel.

[0082] Thus, in pixel interpolation and the gamma processing section 42, since it can process by replacing a part of colour selection block (four amorous glance) about processing of a 3 color system like RGB-Bayer, both 3 color system and 4 color system can carry out a real-time operation by the same circuit. Therefore, compared with the case where the pixel interpolation circuit for RGB and the pixel interpolation circuit for the complementary color (4 color system) are being independently installed as an independent thing, it becomes possible like before to be able to make circuit magnitude very small and to control power consumption. Furthermore, considering the case where this processing is processed based on a software program by CPU24 Since equalization processing in every direction will be performed per each pixel in the image and color interpolation will be carried out once storing an image in memory per frame If this will be processed about all pixels, with the gestalt of this operation, the part which is processing on real time within the real-time processing unit 23, and processing speed will improve substantially to the process of processing becoming huge and requiring great time amount.

[0083] In addition, the high-frequency component (Gh signal) of the "G" signal is extracted for the colour selection block 63 of pixel interpolation and the gamma processing section 42, and AF assessment function to evaluate the high frequency component for AF (autofocus) based on this (AF assessment) is made to have. Drawing 15 is the block diagram having shown signs that extracted the data ("G" signal) of a part of timing under pixel array of a certain flash, and AF assessment was performed in the function which creates the assessment value (high frequency component assessment value) of the high frequency component for AF assessment based on Gh signal in RGB-Bayer. AF assessment can perform by detecting whether an edge is coming out clearly at that flash, and generally, if FFT (fast Fourier transform) etc. extracts the level of only a high frequency component and it judges based on this extract value, the best AF assessment value can be acquired. However, it is very difficult to process FFT in the situation that input data (Input Data) is inputted one after another in the real-time processing unit 23, and when an image is stored in main memory 29 per frame and it processes FFT by software processing by CPU24, it is not efficient in order to require great time amount, while processing becomes complicated. Then, the pixel of the same neighboring color component is chosen and extracted by the selector 64. Absolute-value-ize a value in an arithmetic circuit 65, and it is calculated. the difference of the pixel of the extracted same color component — The accumulation adder 68 as a feedback circuit which consists of a buffer 66 and an adder 67 is integrated with the absolute value continuously obtained by these the processings of a series of, and AF assessment is performed by searching for the maximum point of the change value (differential value) of the integral value (accumulated). That is, the autofocus assessment section which outputs the high frequency component assessment value for being autofocus consists of a selector 64, an arithmetic circuit 65, and an accumulation adder 68.

[0084] and in the autofocus assessment section within this colour selection block 63 In case AF assessment is performed to input data, it is supposed that most "G" components as a color component of the same color in RGB-Bayer are used. Especially in this colour selection block 63 the difference of the value of the "G" component — the value of the "G" component isolated from whether it is the latest thing as an object for an extract, and this — difference — it can change now into arbitration selectively by the selector 64 about whether it chooses as an object for an extract. namely, in a certain case, as a "G" signal nearest to the "G" signal (attention pixel) inputted into one B input terminal 65b of an arithmetic circuit 65 The "G" signal inputted into D input terminal of a selector 64 is chosen. In a certain case As furthest "G" signal from the "G" signal of an attention pixel inputted into one B input terminal 65b of an arithmetic circuit 65 the "G" signal inputted into B input terminal or C input terminal of a selector 64 when the "G" signal inputted into A input terminal of a selector 64 is chosen and it is further — choosing — difference with the "G" signal of an attention pixel — it is possible to calculate a value. thus, the selector 64 — the clearance from an attention pixel — changing — difference — since a value can be calculated, the view frequency in AF assessment can be changed easily. With the maximum frequency of contiguity pixel level, the frequency sensed that the focus suited this when human being did naked-eye view of the image is not restricted, but even if it doubles a focus by the pixel estranged about 2-4 pixels, it not necessarily senses that the focus fully suited. Since a big change arises for every contiguity pixel like [this case where carried out the pair, for example, an accident is looked at by the image pick-up pixel of CCD21, and in case a noise mixes in a capacitor in the course of the signal output from here] in almost all cases when a certain noise occurs in a pixel, in asking for difference only by the contiguity pixel, it takes into consideration that there is a possibility that AF assessment may be overestimated under the effect of a noise. That is, focal doubling which is equal to naked-eye view becomes possible by changing the view frequency in AF assessment by the selector 64, reducing the effect of a noise. In addition, what is necessary is just to change selection of this selector 64 according to properties, such as a pixel pitch of actual CCD21. Since the pitch of the attention pixel which adjoins with properties, such as a pixel pitch of CCD21, will also change even when picturizing the same photographic subject, the same scenery, etc., it becomes possible to be able to maintain the precision of AF assessment on fixed level, therefore to correspond to CCD21 of various properties as the same real-time processing unit 23 by changing a view frequency by the selector 64 according to properties, such as a pixel pitch of actual CCD21.

[0085] Moreover, the defective pixel amendment function which amends the defective pixel of CCD21 is made to have by the colour selection block 63 of pixel interpolation and the gamma processing section 42.

[0086] Since an image will generally become unnatural if this is used as it is when a defective pixel is contained and it is inputted by the pixel measure into an image in defective pixel amendment of CCD21, For example, there is an approach the color data (for example, the color data in front of 2 pixels are applicable in the example of drawing 15 since the pixel of the same color component is inputted alternately) inputted before one as the same color component as this defective pixel perform a pixel supplement. Even if a defective pixel occurs rarely, and usual CCD21 replaces a pixel with the above-mentioned comparatively simple approach, it can obtain [since it has an about 1 million-pixel pixel in a frame,] the image which is fully equal to naked-eye view.

[0087] In this case, it sets to defective pixel amendment of conventional CCD. The address information of the perpendicular direction (V) and horizontal direction (H) of a defective pixel is stored in the register of the plurality (a part for the total of the defective pixel expected) inside RPU (real-time processing unit). A defective signal is generated to the timing whose address value corresponded with the vertical (V) counted value of TG (timing generator) of CCD, and horizontal (H) counted value. Operating replacing the pixel data of the timing by the surrounding pixel (generally pixel of the last same color) etc., and amending was performed.

[0088] However, it is necessary to have a number sufficient by this conventional approach to store the address data only for a total of the defective pixel expected of registers in the interior of RPU. However, since it is in the inclination for a defective pixel to also increase, with buildup of the number of pixels of CCD in recent years, the number of an internal register increased gradually and problems, such as buildup of power consumption, have been produced. Moreover, although some were usually expected to be about -20 piece, the total of a defective pixel was not necessarily restricted as being settled in this number, and since the number of the pixel especially judged to be a defective pixel with the threshold in assessment of whether to be a defect also changed a lot, it was not able to be partly said to be enough [the defect of an about / -20 piece / number] to one CCD. However, although about 1000 registers must be installed in RPU by the above-mentioned conventional approach for example, when about 1000 defective pixels are expected, it was not realistic from the limit of circuit magnitude, and only the defect of an about [-20 piece] number was, as for this, to be able to amend partly to one CCD in many cases.

[0089] on the other hand, with the digital still camera concerning the gestalt of this operation The register for defective pixel address storing is not installed in the real-time processing unit 23. The positional information of the defective pixel of CCD21 is stored on main memory 29 in order of the time amount location. The positional information of the defective pixel in this main memory 29 in inputting into the defective pixel timing generating circuit 73 which comes to combine shift registers 71a and 71b and Comparators (CMP) 72a and 72b like drawing 16 by Direct Memory Access (DMA) Defective pixel amendment of CCD is performed. That is, it is with these shift registers 71a and 71b and Comparators (CMP) 72a and 72b, and the defective pixel amendment section is constituted.

[0090] The defective pixel address of CCD is specifically stored in the storing field of the arbitration in main memory 29 (refer to drawing 1) in order of the generating time amount of the defective pixel concerned. It inputs into each shift registers 71a and 71b installed by parallel through the register (FIFO) 74 of 1word length in the defective pixel timing generating circuit 73 in pixel interpolation and the gamma processing section 42 by Direct Memory Access (DMA). It can amend without a limit of the number of actual top and defective pixels by carrying out a data input to each comparator 72a and 72b from the last stage of each shift register 71a and 71b, and comparing to vertical (V) counted value and level (H) counted value.

[0091] Here, while was connected to one shift register 71a and this, comparator 72a recognizes the appearance timing (address) of a horizontal (H) defective pixel, and comparator 72b of another side connected to shift register 71b of another side and this recognizes the appearance timing (address) of a vertical (V) defective pixel.

[0092] And the vertical (V) counted value and horizontal (H) counted value which were counted within the real-time processing unit 23 are inputted into Comparators 72a and 72b, respectively, and it sets to these comparators 72a and 72b. The output address of the last stage (71af, 71bf) of shift registers 71a and 71b, When it is judged that the above-mentioned vertical (V) counted value and horizontal (H) counted value were in agreement A defective pixel timing (CCD Detect Timing) signal is outputted through AND circuit 75 and a register (DMA Req.Trigger) 76.

[0093] It can come, simultaneously the value of shift register 71af-1 (HCRreg1) of the one preceding paragraph and 71bf-1 (VCRreg1) is loaded to shift register 71af (HCRreg0) of the last stage, and 71bf (VCRreg0). Moreover, the defective pixel address (DMA Data) in the main memory 29 obtained through the register (FIFO) 74 of 1word length of the preceding paragraph is loaded to the shift register 71a1 (HCRregN) of a forefront stage, and 71b1 (VCRregN).

[0094] Here, when accepting individually the register (FIFO) 74 for accepting the defective pixel address (DMA Data) from main memory 29 and preparing it, it changes variously in the course which rewrites the value in a register (FIFO) 74 to the value of the newly accepted defective pixel address (DMA Data). In the course, when the value in a register 74 turns into vertical (V) counted value and the same value as horizontal (H) counted value by chance for a moment also, Comparators 72a and 72b have a possibility of outputting an affirmative comparison result accidentally (problem of generating of a hazard).

[0095] However, with the gestalt of this operation, since shift registers 71a and 71b are made to intervene between a register 74 and Comparators 72a and 72b, the problem of generating of this hazard is solvable. The signal from shift register 71af of the last stage of shift registers 71a and 71b and 71bf is not inputted, and, specifically, as for the input to Comparators 72a and 72b, a register 74 is not necessarily connected to the direct comparators 72a and 72b, and the case (when a coincidence signal is outputted) where, as for the shift of each shift registers 71a and

71b, the comparison result in Comparators 72a and 72b is obtained in the affirmative — as long as — it performs to the timing based on the output signal from these comparators 72a and 72b. In this case, since the data compared by Comparators 72a and 72b are always restricted to a thing from shift register 71af of the last stage, and 71bf, whenever the data of a register 74 may be rewritten, a coincidence signal is not outputted from Comparators 72a and 72b, therefore they can solve the problem of generating of a hazard.

[0096] In addition, in case loading from a shift register 74 occurs, according to the coincidence signal from Comparators 72a and 72b, a register (DMA Req.Trigger) 76 generates the data transfer demand (DMA Request to DMA Controller) about the defective pixel address in main memory 29 (DMA Data) to DMA controller 32 (refer to drawing 1). What is necessary is just to have ended the actual data transfer by DMA which answered this by the timing of the following defective pixel. In addition, as a different example from drawing 16, if actuation of shift register 71a1–71af–1 of the preceding paragraph and 71b1–71bf–1 is controlled by the completion signal of the data transfer in DMA from shift register 71af of the last stage, and 71bf, a certain amount of time allowances can be earned about the actual data transfer by DMA.

[0097] Moreover, when not using data transfer by DMA, it is possible by switching and inputting the output data from shift register 71af of the last stage, and 71bf into the shift register 71a1 of the forefront stage of a forefront stage, and 71b1 by Selectors 77a and 77b to amend the defective pixel of the number for a number of stages of shift registers 71a and 71b.

[0098] It is necessary in any case, for address data to have gone back from shift register 71af of the last stage of shift registers 71a and 71b, and 71bf, and to have ranked with generating time order even to the address data of main memory 29.

[0099] By such configuration, by storing the defective pixel address in the main memory 29 with a large capacity, also when the total of a defective pixel is great to about 1000 pieces, defective pixel amendment processing can be performed easily. And since the number of the internal registers 74 and 76 is at least two sufficient like drawing 16, compared with the case where it has a number only for a total of a defective pixel of registers expected in the interior of RPU, circuit magnitude is substantially reducible.

[0100] In addition, the colour selection block 63 of pixel interpolation and the gamma processing section 42 extracts the high-frequency component (Gh) of the "G" signal, and outputs it to a color space conversion and the color oppression processing section 43.

[0101] Next, the gamma correction function of pixel interpolation and the gamma processing section 42 is explained. He is trying to use one gamma correction table 78 (drawing 17) on which input data serves as a 12-bit signal like drawing 17 and drawing 18 in this pixel interpolation and gamma processing section 42 as look-up tables 78a–78d (drawing 18) for gamma corrections of 10 bit x4 (= 212–10) individual.

[0102] Namely, although this gamma correction processing is performed after CCD21 by which A/D conversion was carried out passes through pixel interpolation processing of pixel interpolation and the gamma processing section 42 through the single pixel processing section 41 in the analog signal processing circuit 22. When the input data inputted into this gamma correction processing is 12 bit length. While the above-mentioned gamma correction table 78 functions as a thing with a 8-bit output of 4096 bytes as memory size about the signal inputted by this 12 bit length. When input data is 10 bits, it functions as a look-up table (LUT) which functions for every color of input data as four look-up tables for gamma corrections of an independent 10-bit input and a 8-bit output.

[0103] After performing pixel interpolation processing of the preceding paragraph, since the input data of four colors will be given at once in the case of the pixel data of 4 color system, four input port IPort1–IPort4 is prepared as input port of the gamma correction table 78, and four output ports OPort1–OPort4 are prepared also for the output port of the gamma correction table 78 corresponding to this.

[0104] Generally, when input data is 12 bit length, as for a look-up table 78, the thing of 12 bit length is needed. By the way, since the look-up table 78 for changing into the output signal of 8 bit length from the input data of 12 bit length has the problem that the nonlinearity for every color is unremovable, it can define only one kind to no colors. In this case, although it is desirable to build in the look-up table of four kinds of 12 bit length when treating the pixel data of 4 color system, in this case, circuit magnitude becomes 4 times and poses a problem in respect of power consumption etc.

[0105] On the other hand, it does not restrict that the input data of 12 bit length is always required, but the input data of 10 bit length may be applied. In this case, if data were treated like processing of the input data of the above-mentioned 12 bit length, the surplus bit occurred and it was inefficient.

[0106] Then, with the digital still camera concerning the gestalt of this operation, in treating the input data of 12 bit length, while a look-up table 78 operates as a single 12 bit-length look-up table, when treating the input data of 10 bit length, four kinds of look-up tables 78a–78d independent of each of four colors can be used.

[0107] As memory size, specifically 4096 bytes of look-up table 78. Divide and design beforehand to 1024 bytes of four look-up tables 78a–78d, and it sets to an each look-up tables [78a–78d] input side. While forming the high order input terminal (Upper) of 2 bits of high orders, and the low order input terminal (Lower) of 10 bits of low order. Connect with the high order input terminal (Upper) of 2 bits of high orders so that the output signal from Selectors 79a–79d may be inputted, respectively, and it sets to each of these selectors 79a and 79b. An each look-up tables [78a–78d] port number (0x0 to 0x3) (A input terminal) and the value (B input terminal) of 2 bits of high orders of input data can be chosen now. And in treating the input data of 12 bit length, while switching Selectors 79a–79d to B input terminal side (value of 2 bits of high orders of input data) by the control change-over by CPU24 grade, in treating the input data of 10 bit length, it switches Selectors 79a–79d to A input terminal side (each look-up tables

[78a-78d] port number (0x0 to 0x3)) similarly.

[0108] Thereby, when treating the input data of 12 bit length, it is inputted into the high order input terminal (Upper) of 2 bits of high orders whose values of 2 bits of high orders of input data are each look-up tables 78a-78d by the switch by the side of Selectors [79a-79d] B input terminal, and is inputted into the low order input terminal (Lower) of 10 bits of low order whose values of 10 bits of low order of input data are each look-up tables 78a-78d as it is.

[0109] On the other hand, in treating the input data of 10 bit length It is inputted into the high order input terminal (Upper) of 2 bits of high orders whose each look-up tables [of input data / 78a-78d] port numbers (0x0 to 0x3) are each look-up tables 78a-78d by the switch by the side of Selectors [79a-79d] A input terminal. Moreover, it is inputted into the low order input terminal (Lower) of 10 bits of low order whose values of 10 bits of low order of input data are each look-up tables 78a-78d as it is.

[0110] Thereby, when treating the input data of 10 bit length, the look-up tables 78a-78d of 10 bit length (1024 bits) can be defined as arbitration mutually-independent to the colors of all four colors, respectively.

[0111] Moreover, the input data in this gamma correction processing The pixel data stored in main memory 29 like drawing 14 are inputted into Selectors 79a-79d through FIFO73 and the color sampling module (Color Over Sampling Module) 74. By this Gamma correction processing by the above-mentioned real time and same processing can be performed now at any time to the image once stored in main memory 29 (postprocessing-post Processing).

[0112] In addition, what is necessary is just to carry out easy [only of one input port and the one output port] as input port, when performing gamma correction processing here in a forward phase from above-mentioned pixel interpolation processing. In this case, what is necessary is to install a selector (not shown) to this one input port and one output port, and for this selector to distribute data to four colors, and just to make it output and input to four kinds of look-up tables 78a-78d. Therefore, the structure of look-up table 78 (78a-78d) the very thing becomes being the same as that of what was shown in drawing 17 and drawing 18 even in this case.

[0113] Moreover, although the look-up table which can respond to the input data of both 12 bit length and 10 bit length was explained here Are not necessarily limited to this, and when input data is generally N bit length What is necessary is to function as a gamma correction table 78 which processes this N bit length, and just to make it function as look-up tables 78a-78d for gamma corrections of four ($= 2N - (N-2)$) individuals, when input data is bit length (N-2). The same look-up table 78 (78a-78d) can be utilized effectively, without a surplus bit arising by this according to the bit length of each input data.

[0114] <the configuration of a color space conversion and the color oppression processing section 43, and actuation> — this color space conversion and color oppression processing section 43 are equipped with the color space conversion function to change the pixel data of 4 color system RGB-Bayer of 3 color system, or complementary color type (YMCG system etc.) into the color space of place 5 laws, such as YCrCb, and the color oppression function perform color oppression (KUROMASA press: false color prevention) of the bright section in an image, and dark space further.

[0115] As mentioned above, although the color space conversion function of a color space conversion and the color oppression processing section 43 is a function to change the pixel data of 4 color system RGB-Bayer of 3 color system, or complementary color type (YMCG system etc.) into predetermined color spaces, such as YCrCb especially — both processing of 3 color system, and processing of 4 color system — it can treat — coming — **** — further — when processing 3 color system, it enables it to use the signal of the color data area of four amorous glance as "description data (KEY signal)" of each pixel

[0116] In RGB-Bayer, for example, the signal of a total of 32 ($= 8 \times 4$) bit length which added the signal of 8 bit length as "description data" to the signal of eight bit length each of "R", "G", and "B" It arranges in main memory 29 as four chrominance signals, and the "description data" is used as "description data", such as an "emphasis component" etc. for every pixel, by the processing process of the real-time processing unit 23.

[0117] The purport which generally has the problem that where of main memory and a processing circuit are effectively unutilizable especially in the case of the latter although how to pack and store the pixel data of three colors in main memory, or to disregard and process the data of four amorous glance can be considered when processing 3 color system in the processing circuit which can treat both 3 color system processing and 4 color system processing is as above-mentioned. so, with the digital still camera concerning the gestalt of this operation When it stores the pixel data of 3 color system in the main memory 29 of 4 color processing The "description data" to characterize each pixel for every pixel is collectively stored in the field equivalent to four amorous glance. By using it for a certain processing with the real-time processing unit 23 again behind, or utilizing by the software processing by CPU24, once storing in main memory 29 It becomes possible to perform dramatically various kinds of non-line type processings and pixel unit processings at a high speed.

[0118] Specifically this color space conversion and color oppression processing section 43 The component of four amorous glance of the pixel data outputted like drawing 19 from the gamma correction table 78 of pixel interpolation and the gamma processing section 42, The selector 81 which chooses the high-frequency component (Gh signal) of the "G" signal outputted from the colour selection block 63 of pixel interpolation and the gamma processing section 42, The look-up table 82 for the description data in which the data of the side chosen by this selector 81 are stored (8 to 8 LUT). It is based on the data of the side chosen by each component and selector 81 from one amorous glance of pixel data to three amorous glance which have been outputted from the gamma correction table 78 of pixel interpolation and the gamma processing section 42, and they are brightness components (in YCrCb space), such as YCrCb. The color space conversion circuit 83 which performs conversion to predetermined 3 component color

space which has a ** "Y" component, The look-up table 84 for brightness into which only the brightness component of the predetermined 3 component color spaces, such as YCrCb, ("Y" component) is inputted (8 to 8 LUT). Three components (for example, "Y", "Cr", "Cb") from the color space conversion circuit 83 are inputted. By the three components concerned The exposure decision assessment machine 85 which outputs the assessment value for the exposure decision at the time of the image pick-up of CCD21 (auto exposure) (AE Evaluation Value Detector), Three multipliers 86a-86c modulated using the brightness data in the look-up table 84 for brightness to each of three components (for example, "Y", "Cr", "Cb") outputted from the exposure decision assessment machine 85, It has three multipliers 87a-87c modulated using the description data changed within the look-up table 82 for the description data to each of three components (for example, "Y", "Cr", "Cb") which went via each multipliers 86a-86c.

[0119] Thus, the color component of four amorous glance chosen by the selector 81 can be inputted into the look-up table 82 for the description data as description data, and each modulation of three pixel data can be easily performed using this description data. By this, a predetermined spatial filter is prepared, the value which observed specific frequencies (high frequency component etc.) with this spatial filter is extracted as data of four amorous glance, and when the value of that specific frequency is larger than predetermined SURESSHU level, various exceptional image processings, such as chrominance-signal oppression, can be performed easily. Or although not illustrated to drawing 19, after integrating a predetermined multiplier to the description data, what adds to three pixel data using an adder becomes possible easily. furthermore — although not illustrated to drawing 19 — three components (for example, "Y", "Cr", "Cb") of pixel data — in addition, it becomes possible to store the description data (signal of four amorous glance) in main memory 29 through Maine Bath 28, and various exceptional image processings can be performed easily [always] about the description data in this data once stored in main memory 29. In this case, once utilizing by the software processing by CPU24 and storing in main memory 29 as data of four amorous glance, you may utilize in the real-time processing unit 23 again.

[0120] Like drawing 20, as mentioned above moreover, by selection actuation by the selector 81 The signal of four amorous glance of the input data from the gamma correction table 78 "color 4", The high-frequency component (Gh signal) of Green (G) outputted from the colour selection block 63 is inputted into the look-up table 82 for the description data. Since he is trying to determine whether carry out the multiplication of the output from here to each of three components (for example, "Y", "Cr", "Cb") outputted from the exposure decision assessment machine 85 Selection by the selector 81 is performed so that it may be suitable for the optical property of actually carried CCD21. Processing of the modulation for every pixel of "Y" in above-mentioned postprocessing (Post Processing) or "Cr", and "Cb" etc. can be performed at a high speed, without depending on the software processing by CPU24.

[0121] Moreover, the "Gh" signal outputted from the colour selection block (pixel interpolation block) 63 is chosen by selector 81a, and it enables it to input it into four amorous glance of the color space conversion circuit 83. Thereby, at the time of data processing of a 3 color system pixel array like RGB-Bayer, the component of the "Gh" signal can be added to each color component in the color space conversion circuit 83 at arbitration. From the first, in the generation process of the "Y (brightness)" ($=0.6G+0.3R+0.1B$) signal, since 60 percent of weighting is made, the pixel component of Green (G) has a high contribution to a brightness display. And the "Gh" signal which is a high region signal of the "G" component can also be used as it is as a high-frequency component of the "Y (brightness)" signal. Therefore, this "Gh" signal can be easily added to each color component. For example, if the component of the "Gh" signal is added to each component of "R", "G", and "B" by the multiplier fixed as a kind of brightness property in RGB-Bayer, adjustment of the brightness of each component will become possible easily as it is.

[0122] Here, generally, if independent addition of the high-frequency components, such as Gh, is carried out at the "Y" signal, the multiplier for gain adjustments and the adder to a Y signal etc. will be independently needed, and circuit magnitude will increase. In the case of that color space conversion circuit that can, on the other hand, also perform processing of 4 color system, it is a usual state that this color space conversion circuit has the input function of four components, but it becomes [the multiplier of four amorous glance is usually altogether set as "0", and do not use it, but] a surplus input terminal to data processing of a 3 color system pixel array like RGB-Bayer, and is inefficient. In consideration of this, the gain adjustment of the "Gh" signal and the addition to each color component can be attained with the gestalt of this operation also in data processing of a 3 color system pixel array like RGB-Bayer by enabling it to input the "Gh" signal selectively by the selector 81 as a color component of these four amorous glance, without adding a multiplier and an adder.

[0123] The look-up table 84 for brightness of a color space conversion and the color oppression processing section 43 (8 to 8 LUT) In the signal of the color space field of "Y (brightness component)" outputted from the color space conversion circuit 83, "Cr (the first chrominance signal)", and "Cb (the second chrominance signal)" Especially, only the "Y" signal is inputted and it has the function to determine whether carry out the multiplication of the output to each component of "Y" from the exposure decision assessment machine 85, "Cr", and "Cb."

[0124] And especially when the multiplication of the "Cr" signal and the "Cb" signal is turned ON and the multiplication of the "Y" signal is turned OFF, color oppression (KUROMASA press) of dark space and a bright section etc. can be performed (color oppression function).

[0125] Generally, the dark space in an image having the property to be easy to be influenced of various noises, therefore controlling coloring as much as possible in dark space leads to outputting natural image quality. On the other hand, since it is the part which tends to require a modulation according to the property of the various hardware components of CCD21 which picturized this, or others and white balances are deviation and a cone part,

the bright section in an image contributes to controlling coloring as much as possible too outputting natural image quality. In consideration of these things, the object of a color oppression (KUROMASA press) function controls coloring in the bright section and dark space in an image. In addition, drawing 21 is the block diagram showing the example of operation at the time of KUROMASA press processing. Here, based on each operation function shown all over the color space conversion circuit 83, after changing the component of four colors to - "a color 4" into each component of "Y", "Cr", and "Cb", only a "color 1 Y" signal is reserved to the look-up table 84 for brightness, and the multiplication of this is carried out to each component other than "Y", "Cr", and "Cb" with each multipliers 86a-86c. ["color"]

[0126] Generally, in order to perform the KUROMASA press of the bright section in an image in KUROMASA press processing, there is the approach of using the arithmetic circuit which changed the inclination of the "Y" signal in the place beyond the fixed level which has the "Y" signal in the "Y" signal as compared with a fixed threshold. Moreover, when performing the KUROMASA press in the dark space in an image, a SAPURESU circuit is added and installed independently of the circuit of a bright section in many cases. However, by such general approach, circuit mark become great, and cost goes up by complication of circuitry, and it cannot be said to be what has the good area effectiveness of a circuit.

[0127] On the other hand, with the digital still camera concerning the gestalt of this operation, since it inputs into the look-up table 84 for brightness (8 to 8 LUT) by making the "Y" signal into a 8-bit signal and he is trying to output as a 8-bit output signal from here, multiplication can be independently carried out to the "Y" signal, the "Cr" signal, and the "Cb" signal to *****. Thereby, the KUROMASA press of the dark space in an image and a bright section can be performed now in a single circuit.

[0128] Here, when the high region signal was high region signals, such as Gh signal, over that threshold by the software processing by CPU24 as compared with the predetermined threshold and the case where a KUROMASA press was made to be performed was considered about this KUROMASA press processing, in processing by this CPU24, the nonconformity of a color not reaching the field to which the approach of a KUROMASA press is fixed and a color should be attached by the specific image was generated. Although it corresponded by oppressing a color by software in these cases etc., the processing time became very long and had become a problem.

[0129] However, with the gestalt of this operation, an image is once stored in main memory 29. Since processing with the real-time processing unit 23 can be further performed after being, adding the description data for every pixel by CPU24 grade and storing in main memory 29 again According to a situation, the KUROMASA press by Gh component and the KUROMASA press by the description data signal generated by software can be used in one circuit, without generating lowering of speed in a real-time operation.

[0130] Moreover, gamma conversion can be performed only to the "Y" signal by turning ON only the multiplication of the "Y" signal from the color space conversion circuit 83 (gamma conversion function). Here, drawing 22 is the block diagram showing the actuation at the time of gamma transform processing. Here, based on each operation expression shown all over the color space conversion circuit 83, after changing the component of four colors to - "a color 4" into each component of "Y", "Cr", and "Cb", only a "color 1 Y" signal is reserved to the look-up table 84 for brightness, and the multiplication of this is carried out to each components "Y", "Cr(s)", and all the "Cb(s)" with each multipliers 86a-86c, respectively. ["color"]

[0131] And since this gamma transform processing and above-mentioned KUROMASA press processing are performed in the same circuit, it is very easy to be easy [circuitry]. If it has independently two look-up tables 84 for brightness (8 to 8 LUT) especially, both color oppression function and gamma conversion function can be demonstrated simultaneously. Although the inconvenience that these functions cannot be used simultaneously arises in a common real-time processing unit when giving two functions, this "KUROMASA press" and a "gamma correction" In the real-time processing unit 23 of the digital still camera concerning the gestalt of this operation About the pixel data once processed in the real-time processing unit 23 Since the real-time processing unit 23 can be repeatedly passed through main memory 29 and Maine Bath 28 any number of times by Direct Memory Access (DMA), it can process without inconvenience by using it, dividing each into another pass.

[0132] In addition, although here explained the processing to the color space signal of "Y", "Cr", and "Cb", it cannot restrict to this and can completely perform similarly to the color space signal which completely differs from this by the exceptional image processing.

[0133] The exposure decision assessment machine 85 of a color space conversion and the color oppression processing section 43 is for determining exposure level as a premise at the time of determining shutter speed, the magnitude of drawing, etc. based on the proper brightness of actual image data, and performs brightness assessment for equalizing the brightness (brightness) of a partition opium poppy and blocks for the image of one frame to two or more blocks.

[0134] Generally, when evaluating exposure decision, there is the approach (the first exposure decision assessment approach: refer to drawing 23) of making an assessment value the average of the "Y (brightness)" signal (or "G (green component)" signal) of a block and the block of a periphery of the rectangle region located at the core in a frame. Usually, since it is expected to wanting to make an exposure decision strictly comparatively in order that a photographic subject may project the image for a center section that the significance in an image is low about a circumference part, compared with a part for a center section, the strict nature of exposure decision is not required in many cases. In such a case, this first exposure decision assessment approach becomes effective.

[0135] In addition, there is also the approach (the second exposure decision assessment approach: refer to drawing 24) of making it into the assessment value used for exposure decision about all fields in the average of for example,

the each "Y" signal (or "G" signal) of each block divided into 5x5 at equal intervals.

[0136] However, although central important exposure decision and overall backlight amendment are possible by the first exposure decision assessment approach which averages the block of a center position and its perimeter, respectively, and performs it, the activity of finer exposure decision algorithm is difficult. Moreover, by the second exposure decision assessment approach which performs block division at equal intervals, synthetic processing of a block which is different, respectively in the time of making the time of making the exposure decision of central importance and a spot exposure decision is needed, and an operation takes time amount. Moreover, since there is constraint that the area of all blocks must be the same in case a block boundary is set as the optimal location, in order to fill this constraint, the number of partitions of a block tends to increase, circuit magnitude becomes large in this case, power consumption will be increased or the processing time of exposure decision assessment will be great.

[0137] In case the exposure decision assessment machine 85 of the digital still camera which starts the gestalt of this operation in consideration of these things is divided into two or more blocks, it enables modification of the location of the boundary of each block to arbitration like drawing 23 and drawing 24.

[0138] Here, drawing 23 sets a center position, each block of the perimeter, and the borderline of comrades as the location of arbitration, and drawing 24 are drawings in the case of setting each block as the same area.

[0139] That is, the field of exposure decision is divided into at least 3x3 or more blocks, and the boundary location of each block is freely made movable, for example, in the case of drawing 23, the borderline of each blocks is completely set as the location of arbitration. Moreover, in the case of drawing 24, a block at equal intervals is set up like a thin line by deciding only the part of the thick wire in this drawing. The precision of exposure decision can be raised becoming possible to choose the optimal block boundary by the small block count, and suppressing the increment in the operation time by these approaches.

[0140] In this exposure decision assessment machine 85, the borderline during the optimal blocks according to the optical property of CCD21 is specifically set as the location of arbitration by the driver-software program for carrying out actuation control of that of the real-time processing unit 23, the integration operator of the brightness values, such as the "Y" signal of all pixels, is carried out for each [are divided according to this borderline] the block of every, and the integral value for these the blocks of every is set as the object of assessment. A counter, an adder, etc. are built in and constituted as a hardware configuration of the concrete exposure decision assessment machine 85. Or if the driver software program is set up so that ***** for a certain mode change-over may be prepared in the front face of the unit of a digital still camera and the borderline during blocks can be changed into the location of some mode setting by this ***** according to a situation, the optimal exposure decision field can be chosen by a user's intention.

[0141] The configuration of the spatial filter coring processing section 44 and drawing 25 <of operation> are the block diagrams showing the internal configuration of the spatial filter coring processing section 44. Here, the color space signal ("Y", "Cr", "Cb") from each multipliers 87a-87c of a color space conversion and the color oppression processing section 43 is stored using two or more line memory (2048 Variable Length FIFO) 92a-92d to a spatial filter 91 (R00-R48), and profile amendment processing is performed after that.

[0142] Thus, when performing profile amendment processing, with the gestalt of this operation, it makes it possible to make it possible to decompose into the signal ("Y", "Cr", "Cb") of each component, and the signal of the high frequency component which emphasized this, and to deal with it, and to make bit length in each data small by this. This reason is explained.

[0143] Generally, although processing with a spatial filter only let the fixed spatial filter in which arbitration setting out is only possible pass, two troubles exist by this approach.

[0144] First, in case general filtering is performed, the absolute value So of the multiplier of a main pixel usually turns into a big value like drawing 26, but an absolute value Sv becomes small as it keeps away from this main pixel on the outskirts. As for this, the same is said of data after performing profile amendment processing (drawing 27). However, if it is going to secure the versatility of a spatial filter, bit length of a circumference pixel cannot be made small. It will stop in this case, being using effectively the bit length which needed to lengthen bit length of the multiplier of all pixels according to the bit length of a main pixel, and prepared it in almost all cases.

[0145] then — without it increases the bit length of each pixel by carrying out the multiplication of the each multiplier to the output of a spatial filter 91 (drawing 25), and the former data of a main pixel, and considering as the configuration added by after that with the gestalt of this operation — the need — it makes it possible to perform sufficient filter operation.

[0146] When performing profile amendment processing in the color space signal of "Y", "Cr", and "Cb", specifically If profile amendment processing is not performed to each color components, such as the "Cr" component and the "Cb" component, but it is made to perform profile amendment processing only to the "Y (brightness)" component, the contrast of an image is fully emphasized and a profile can be emphasized with this. That is, in drawing 25, the multiplication of the multiplier of predetermined arbitration is carried out only for the "Y" component of the main pixel in a spatial filter 91 (R24) with ejection and a multiplier 94 through wiring 93. On the other hand, the multiplication of the multiplier (Ratio) of arbitration predetermined with a multiplier 97 is carried out for the total value of all the components of the main pixel (R24) of 12 bit length in a spatial filter 91 to ejection and these with wiring 96, and it inputs into the first coring function (Coring Function) block 98 for performing nonlinear processing (coring). And the output from this first coring function block 98 (total value for a color line), The "Y" component to

which the multiplication of the multiplier predetermined with a multiplier 94 was carried out is added with an adder 99. The value of profile emphasis of a main pixel (R24) is computed. About another side and the chrominance signal ("Cr", "Cb") itself After taking this out through wiring 101,102 and storing in the second and third coring function block 103,104, it combines with the value of the profile emphasis from an adder 99, and is sent out to the output section 45. In addition, these elements 94, 97, and 99 are named generically, and the profile amendment processing section is called.

[0147] Moreover, it can come, simultaneously the signal ("Y (component of one amorous glance)", "Cr (component of two amorous glance)", and "Cb (component of three amorous glance)") of each component is sent out through wiring 105 to the output section 45. Under the present circumstances, in order to make it possible to treat either of the output values (the output value from a spatial filter 91 itself) from the "Y" component, the "Cr" component, the "Cb" component, and a multiplier 97 as description data (KEY signal), by selector 105a, it chooses as a component of four amorous glance, and can output.

[0148] thus — without it increases the bit length of each pixel by carrying out the multiplication of the each multiplier to the output of a spatial filter 91 (drawing 25), and the former data of a main pixel with multipliers 94 and 97, and considering as the configuration added with an adder 99 after that with the gestalt of this operation — the need — it becomes possible to perform sufficient filter operation. Moreover, since a dimension signal and a high region signal are separable, profile emphasis can be performed by performing the nonlinear operation "coring" to this high region signal, suppressing the increment in a noise.

[0149] Here, a chrominance signal ("Cr", "Cb") and a luminance signal ("Y") are processed independently, how to add at the end and create a video signal etc. is also considered, and after a luminance signal ("Y") has profile emphasis performed in this case, gamma conversion is performed in many cases. However, the bit length in the middle of that signal processing of a digital camera performs gamma conversion at the beginning of processing, reduces the bit length on memory, and reduces memory space since 10 bits – 12 bits are used as an input signal, and digital processing is reduced, and, generally making circuit magnitude small is performed. In this form, it is necessary to perform profile amendment processing after gamma conversion.

[0150] Although how to perform only using the spatial filter 91 which is a high pass filter will generally also be considered if it is usual when extracting the high-frequency component of the "Y" component When carrying out profile emphasis of each element (for example, R24) of 12 bit length in a spatial filter 91 using the this "Y" component When the noise is overlapped on each element itself, this noise component also has a possibility that profile emphasis may be carried out together, and, the way things stand, has a possibility of deteriorating in the unnatural image with which the noise was conspicuous.

[0151] Then, in case profile emphasis is carried out to the signal after performing a gamma correction, only when fixed level with a high-frequency component is exceeded, the nonlinear operation (coring) which performs profile emphasis is needed. However, if coring is performed to the high region signal of "Y" after gamma conversion, since the amplitude is large relatively, it will become the inclination for profile emphasis to be strongly performed by the high-frequency component of a low brightness region in a low brightness region. However, it becomes unsightly, without amplifying the noise of small level by the image with many noises, if the linearity operation of all the frequency components is carried out when a spatial filter 91 is used for profile emphasis etc., since it is mostly contained in the high brightness region from an inside brightness region by the signal to be emphasized actually on the other hand and the high-frequency component of a low brightness region has the dominant noise, emphasizing only noises, and emphasizing a required signal.

[0152] By the way, although there is generally little contrast, since this noise appears very small, it inclines toward a high frequency component and appears in many cases. So, with the digital still camera of the gestalt of this operation, while using the based signal as it is so that emphasis processing may not be performed as much as possible about the small part of contrast, when contrast is beyond a constant level, it can be said that it is desirable to perform emphasis processing positively. Then, it sets to the first coring function 98. It is that output a nonlinear output value to an input value, and this is disregarded about a part especially with few absolute values than predetermined threshold alpha like the nonlinear operation function in the sign 98 in drawing 28 and drawing 29 . Emphasis is seldom added to a low brightness region, but it emphasizes in inside brightness and a high brightness region strongly, and it becomes possible to amend an image clearly in the form where the noise component was removed.

[0153] When carrying out coring processing to the high-frequency component after gamma conversion in this way, especially and with the digital still camera of the gestalt of this operation Like drawing 28 , about the input value (RF signal) over the first coring function 98 By changing using the own gamma property of "Y" signal, or changing the threshold alpha (Thresh Level) of coring itself like drawing 29 using the own gamma reverse property of "Y" signal It makes it possible to perform processing equivalent to the case where coring is performed before gamma conversion. The bright part into which a noise cannot be easily conspicuous specifically (when the value of the "Y" signal is large) While profile emphasis makes it easy to set up the width of face of threshold alpha to an input value so that it may become small relatively, and to start Profile emphasis makes it hard to start by setting up the width of face of threshold alpha to an input value, in the dark part with which a noise tends to be conspicuous, so that it may become large relatively (when the value of the "Y" signal being small). And it becomes possible to seldom add emphasis to a low brightness region, but to emphasize in inside brightness and a high brightness region strongly, and to amend an image more clearly by setting up such an inverse transformation property with some fault amendment.

[0154] In addition, in the example of drawing 28 , operation election of the value from 1 time to 4 times is carried out

in linearity with a forward linear function (ratio transform function) by the value of the "Y" signal (Y0) at the reverse gamma effectiveness block 106. After carrying out the multiplication of this to an input value with a multiplier 107, this is chosen by the selector 108, it inputs into the first coring function 98 as an input value (axis of abscissa of nonlinear operation function drawing within a block), and the value of the axis of ordinate corresponding to this is outputted. Thereby, the width of face of effective/invalid of an input value to threshold alpha in coring can be changed. In addition, the signs 109a and 109b in this drawing are limiters.

[0155] Moreover, operation election of the value from 1 time to 4 times is carried out in linearity with a negative linear function (ratio transform function) by the reverse gamma effectiveness block 111 by the value of the drawing 29 "Y" signal (Y0). After carrying out the multiplication of this with a multiplier 112 to the initial threshold alpha 0 (Thresh Level) of coring, By choosing this and setting up as actual threshold alpha of coring in the first coring function 98 by the selector 113, the width of face of threshold alpha to the input value in coring can be changed. In addition, the signs 114a and 114b in this drawing are limiters.

[0156] In addition, although the linearity-transform function is used in the reverse gamma effectiveness block 106, 111, even if nonlinear, it does not interfere.

[0157] Moreover, in drawing 25, although inputted into the second and third coring function 103, 104 also about a chrominance signal ("Cr", "Cb"), respectively, since coring processing here is processed by the general nonlinear function, it omits explanation here.

[0158] <the configuration of the real-time processing unit 23 at the time of using an interlace type thing as CCD21, and actuation> — this digital still camera can use now an interlace type thing and a progressive type thing as mentioned above as CCD21 which is an image sensor, choosing them.

[0159] If it generally prepares the line memory for several lines in using progressive type CCD21, it can be parallel to read-out of the pixel data from CCD21, general image processings, such as pixel interpolation, color conversion, and profile emphasis, can be performed simultaneously, and these general image processings can be terminated almost simultaneously with data read-out from CCD21.

[0160] However, in interlace type CCD21, the field (even number field) of only even lines and the field (odd number field) of only odd lines are outputted by turns, and are given to the real-time processing unit 23. In this case, in order to process the image picturized by interlace type CCD21 like drawing 30, after compounding both fields in the image of one frame and storing in main memory 29, how to start various image processings for the first time can be considered. However, when the storing field for all pixels in one frame will be used in main memory 29 for storing of the image data from CCD21 and it became large-scale in circuit in this case, many power consumption was needed. Moreover, since an image processing was not able to be started till read-out termination, photography had taken time amount.

[0161] In consideration of this, with the digital still camera concerning the gestalt of this operation Like drawing 31, the field (either the odd-number field or the even-number fields: call "the first field" below) of the beginning of interlace type CCD21 is stored in main memory 29. To read-out and coincidence of the 2nd field (another side of the odd-number field or the even-number fields: call "the second field" below) He reads the data of the first field from main memory 29 by Direct Memory Access, and is trying to input into the real-time processing unit 23. thereby, the second field from interlace type CCD21 carries out reading appearance, during a period, general image processings, such as pixel interpolation, color conversion, and profile emphasis, can be performed simultaneously, the second field can carry out reading appearance, and termination, simultaneously a general image processing can be terminated. moreover, the storing field which carries out easy into main memory 29 for the data storage from CCD21 — a part for the 1 field (1/2 frame) — since — the need capacity in main memory 29 can be reduced to 1/2.

[0162] <the case where CCD21 with the number of horizontal picture elements exceeding the line memory [in the real-time processing unit 23 / 61a, 61b, 92a-92d] number of pixels is used>, in this digital still camera, a thing various type is used about CCD21 as above-mentioned, choosing. In this case, also when the number of horizontal picture elements of CCD21 exceeds the line memory [which was shown in drawing 14 and drawing 25 / 61a 61b, 92a-92d] number of pixels, it thinks. It is possible to perform high-speed processing by storing the data of this CCD21 into main memory 29 once, dividing horizontally the two or more blocks image in the image frame 118 into 119 like drawing 32, and inputting into the real-time processing unit 23 by Direct Memory Access to CCD21 which has this large-scale component array.

[0163] Generally, in the real-time operation (general image processing) about the image from CCD21, since it was necessary to refer to the pixel of a vertical line in almost all processings, the line memory for several level pixel minutes was required (plurality). Therefore, when it is processing the image from CCD21 in the direct real-time processing unit 23, the level pixel size of CCD21 which can be processed will receive a limit with the line memory [which was made as hardware / 61a 61b, 92a-92d] number of pixels. However, in order that the line memory 61a, 61b, 92a-92d might occupy a very big area in an integrated circuit, the number of horizontal picture elements which securing the area of the real-time processing unit 23 seriously as compared with the actuation circuit of CCD21 can process difficult consequently became small inevitably, and the activity of CCD21 of a large pixel was difficult for it.

[0164] On the other hand, with the digital still camera concerning the gestalt of this operation, in order to input into the real-time processing unit 23 the data once stored in main memory 29 and to process them by Direct Memory Access, a limit of the horizontal picture element size of above-mentioned CCD21 is not generate by divide the image frame 118 into two or more blocks 119 horizontally, and perform the real-time operation in the real-time processing unit 23. Therefore, if there is capacity of main memory 29, processing of without limit big CCD21 will be

attained, and the versatility of the real-time processing unit 23 to CCD21 improves.

[0165] Although the digital still camera was mentioned as the example with the gestalt of the above operation and it mainly explained it, it is easily applicable also as an image-processing circuit of other picture input devices.

[0166] moreover, in the spatial filter coring processing section 44 shown in drawing 25 Although he was trying to choose one of one of the output values (the output value from a spatial filter 91 itself) from the "Y" component, the "Cr" component, the "Cb" component, and a multiplier 97 as a component of only four amorous glance by selector 105a The same selector may be installed in other output lines, and not only four amorous glance but each component of other three colors may be constituted so that it may be freely switched to the other component. By doing in this way, an output component can be changed further freely and the versatility as an image-processing circuit can be improved.

[0167]

[Effect of the Invention] In performing real-time (real time) processing about the pixel data inputted one after another from an image sensor according to invention according to claim 1 While carrying out without storing intermediate pixel data in main memory, only the special exceptional image processing which is not prepared in a real-time processing unit is performed as software program processing in a control section (CPU). When performing a general image processing after that (postprocessing) By inputting again into a real-time processing unit the pixel data once stored in main memory, and processing them Since processing covering the long duration in a control section can be lessened in **** while being able to attain improvement in the speed substantially as compared with the case where it performs by software program processing, power consumption can be reduced substantially.

[0168] It enables it to input the pixel data in main memory into the image-processing section of an on the way (the 2nd step or subsequent ones) in a real-time processing unit by selection by the selector according to invention according to claim 2. moreover, the thing for which the pixel data from the image-processing section of an on the way (it is the preceding paragraph from the last stage) in a real-time processing unit are stored in main memory — *****, since it is made like Only the special exceptional image processing which is not prepared in a real-time processing unit can be performed as software program processing in a control section (CPU), and only the required processing of the general image processings can be processed in a real-time processing unit after that. That is, power consumption can be reduced, while being able to skip a part of procedure compared with the case where the pixel data in main memory are always inputted into the forefront stage of a real-time processing unit, therefore being able to attain improvement in the speed.

[0169] According to invention according to claim 3, since order of the timing (processing clock) of the real-time processing unit at the time of postprocessing of operation is carried out to the timing of an image sensor of operation asynchronous, when carrying out order of the timing (processing clock) of a real-time processing unit of operation to a high speed, more for example than the timing of an image sensor of operation, the process speed at the time of postprocessing improves substantially. On the other hand, when carrying out order of the timing (processing clock) of a real-time processing unit of operation to a low speed from the timing of an image sensor of operation, the power consumption at the time of postprocessing can be stopped low.

[0170] Since it makes it possible to let the pixel data in main memory pass two or more times to a real-time processing unit in postprocessing according to invention according to claim 4, when the spatial filter is prepared in the real-time processing unit, it becomes possible to extend the function of making the range of the spatial filter concerned increase equivalent etc. easily. for example, in the conventional real-time processing unit Since only processing of only an one pass can be performed at the time of data read-out from an image sensor, The size of a spatial filter etc. is limited to the size actually prepared in the real-time processing unit. Moreover, according to this invention according to claim 4, each individual function can also make a specific function able to overlap and act on data, and can make each function extend in postprocessing to the ability to have not made it act on a signal only once. Moreover, since it continues for the count of plurality and the pixel data in main memory can be inputted into a real-time processing unit, it becomes easy to change and process the sequence of the processing set as the real-time processing unit from the first. Therefore, compared with the case where modification of this processing sequence is performed by the software program processing by the control section (CPU), processing can be performed dramatically in a short time. in this case, if order of the timing (processing clock) of a real-time processing unit of operation is carried out to a high speed like [timing / of an image sensor / of operation] claim 3, processing of the one pass of a real-time processing unit can be ended dramatically in a short time, the increment in exposure time is suppressed to the minimum, reading appearance is carried out from an image sensor, and the loss of time amount to time amount can be controlled to the minimum.

[0171] According to invention according to claim 5, in the output stage of a real-time processing unit Since one component data in the component of the arbitration processed within the general image processing in a real-time processing unit is selectively stored in at least one of four component data and can be outputted to it By the one pass, a specific output signal (for example, signal of four amorous glance) can be easily outputted as description data, without adding modification to a dimension signal at all. In this case, if it is performing by the software program processing by the control section (CPU) As opposed to moving the description data to a specific output component (for example, component of four amorous glance) for every combination of the pixel of all four components, once storing all pixel data in storing in main memory, and the processing time becoming huge According to invention according to claim 5, other general image processings cannot be affected, but it can process at a high speed in the real time, and processing effectiveness can be improved, and low-power-ization can be attained.

[0172] In the real-time processing unit [according to invention according to claim 6] which can treat processing of

4 color system pixel data, such as complementary color types, such as a YMCG system For example, when processing 3 color system pixel data, such as RGB BEIYA Since the description data, such as an emphasis component of each pixel, are stored as a signal of the color data area of four amorous glance and he is trying it not only stores and to process the data of 3 classification by color, but to process to the data stream of the data length of 4 classification by color, various kinds of non-line type processings and pixel unit processings can be dramatically performed at a high speed. Moreover, compared with the case where only the data of 3 classification by color are stored and processed to the data stream of the data length of 4 classification by color, the storage bit within main memory can be utilized effectively, and the increase in efficiency of a real-time processing unit, a control section, the data transfer processing between main memory, etc. can be attained. Furthermore, low-power-ization can be attained compared with the case where the data constellation of the description data is dealt with separately.

[0173] When each pixel data by which a sequential input is carried out at a real-time processing unit covers a multiple frame from an image sensor according to invention according to claim 7, each pixel data in each frame from the image sensor concerned is received. Since the pixel data of the homotopic in a frame are repeated the number of predetermined times and enable it to carry out accumulation before once memorizing in main memory If the division of the accumulation data obtained eventually is done by the count of addition, the noise of the charge storage section of an image sensor can be subtracted, and the data of good sufficient signal level of S/N can be obtained.

[0174] When each pixel data by which a sequential input is carried out at a real-time processing unit covers a multiple frame from an image sensor according to invention according to claim 8, each pixel data in each frame from the image sensor concerned is received. Since the pixel data of the homotopic in a frame are repeated the number of predetermined times, a differential-gear rate is carried out by the predetermined multiplier and it enables it to carry out weighting addition (circulation addition) before once memorizing in main memory If the division of the accumulation data obtained eventually is done by the count of addition, the noise of the charge storage section of an image sensor can be subtracted, and the data of good sufficient signal level of S/N can be obtained. In this case, since it is made to carry out circulation addition, carrying out a differential-gear rate by the predetermined multiplier, without changing the data length of each pixel from the original data length, circulation addition can be carried out any number of times, and it becomes possible by preventing overflow of data to remove a limit of the count of addition.

[0175] When performing predetermined pixel amendment including a shading compensation according to invention according to claim 9, the amendment data of a pixel unit are beforehand stored in main memory, and amendment of a pixel unit can be easily performed at a high speed by inputting the amendment data in main memory into a real-time processing unit at the time of capture of the data of an image sensor.

[0176] According to invention according to claim 10, it becomes possible to choose an accumulation processing facility according to claim 7 and a circulation addition processing facility according to claim 8, and can respond to modification of a specification design of a digital still camera easily. Therefore, versatility can be greatly given as an image-processing circuit included in a digital still camera.

[0177] According to invention according to claim 11, it becomes possible to choose an accumulation processing facility according to claim 7, a circulation addition processing facility according to claim 8, and a pixel amendment function according to claim 9, and can respond to modification of a specification design of a digital still camera easily. Therefore, versatility can be greatly given as an image-processing circuit included in a digital still camera.

[0178] While performing pixel interpolation by performing the same data processing altogether to the image sensor of 4 color configurations of 2x2 according to claim 12 and invention according to claim 13, to the image sensor of 3 color configurations, such as RGB BEIYA, it sets to the same circuitry. Since it enables it to correspond by replacing a part of colour selection block as the particular solution of interpolation processing of 4 color system, compared with the case where separate independent operation part is installed by 4 color system and 3 color system, small circuit magnitude can be taken and power consumption can be stopped substantially.

[0179] alienation for [which asks for difference when creating the high frequency component assessment value for autofocus assessment according to invention according to claim 14] a pixel — since the pitch is made to be made to adjustable, the frequency which an assessment value represents can be changed easily. That is, if a focus suits level sufficient by the naked-eye observation, while it is not necessary to carry out, the thing which make an image a RF more than it within the limits of it and for which the effect of a noise will be conspicuous when a RF image is emphasized too much, and a high frequency component assessment value is created in consideration of these things on a proper frequency (namely, alienation for [which asks for difference] a pixel pitch) is desirable. However, since the degree of mixing of a noise changes with the circuitry of an image sensor or others, the applied optimal frequency is not determined uniformly theoretically. for this reason, the alienation for [which asks for difference when creating the high frequency component assessment value for autofocus assessment] a pixel — it becomes possible to create a high frequency component assessment value easily with the optimal frequency according to the circuitry of an image sensor or others by carrying out adjustable [of the pitch].

[0180] Since he is trying to store the defective pixel address using the main memory besides the real-time processing unit concerned according to invention according to claim 15, without using the register in a real-time processing unit, the circuit magnitude in a real-time processing unit can be reduced, and low-power-ization can be attained.

[0181] According to invention according to claim 16, compared with the case where the defective pixel address is stored in the register in a real-time processing unit, it can amend without a limit of the number of defective pixels

by storing the defective pixel address of an image sensor in main memory in order of the generating time amount of the defective pixel, and inputting into the defective pixel amendment section which consists of a shift register and a comparator.

[0182] According to invention according to claim 17, about one gamma correction table, since he is trying to make it function as four look-up tables for gamma corrections when only 2 bits of the bit length of input data are short, when only 2 bits of bit length are short, it becomes possible from this by using the surplus bit field of a gamma correction table effectively to use four kinds of look-up tables independent of each color, without changing circuitry.

[0183] According to invention according to claim 18, the color space conversion circuit which changes the pixel data of the predetermined first array method into the predetermined pixel data of the second array method which has a color component specially is prepared. Since numerical conversion is specially carried out according to a predetermined function within the look-up table for colors and it can be made to carry out to components other than a color component with a multiplier the multiplication only of the special color component of these specially, respectively For example, predetermined processing of the KUROMASA press in dark space, the KUROMASA press in a bright section, various kinds of gamma conversion, etc. is chosen freely, and can be performed in a single circuit. Moreover, in covering multiple times and inputting pixel data into a real-time processing unit repeatedly like claim 4, it overlaps and predetermined processing of the KUROMASA press (false color prevention) in dark space, the KUROMASA press in a bright section, various kinds of gamma conversion, etc. can be processed.

[0184] According to claim 19 and invention according to claim 20, the pixel of four amorous glance of each pixel data, The pixel of one component in the pixel of 3 color system which was used as a pixel of four amorous glance within the pixel array of 2x2 in the pixel array of 3 color system is chosen by the selector. Since a look-up table input is carried out for the description data, numerical conversion is carried out with a predetermined function by using as the description data the pixel chosen here and it is made to carry out the multiplication of the value to each component of the pixel data of a predetermined pixel array, respectively Also in any of real-time processing and postprocessing, various processings of a KUROMASA press, gamma correction processing, etc. of the edge which used the description data can be easily performed at a high speed in a real-time processing unit. Especially when using the pixel of four amorous glance of the pixel data once stored in main memory as description data like claim 1 or claim 2 The description data (component of four amorous glance) obtained as a result of the software program processing by the control section (CPU), Since it is utilizable for predetermined processing of a KUROMASA press etc. as it is by using as the description data the description data (component of four amorous glance) obtained as a result of being processed within a real-time processing unit before Compared with the case where these processings are performed by the software program processing by the control section from the beginning to the last, the processing time can be shortened substantially.

[0185] According to invention according to claim 21, for example as a component of four amorous glance in the pixel array of a 3 color system like RGB BEIYA Since the data of the pixel of four amorous glance outputted from the colour selection block and the data of the component of one in the pixel data of said first array method are chosen and it enables it to input into a color space conversion circuit This selected data can be added to the pixel data of the second array method by the multiplier of arbitration in a color space conversion circuit. The high frequency component (Gh component) of a green component etc. can be easily inputted as four amorous glance outputted from the colour selection block, without following, for example, adding a multiplier and an adder, and the gain adjustment of Gh component and predetermined processing of the addition to each color component etc. can be performed easily.

[0186] The precision of exposure decision assessment can be raised becoming possible to choose the optimal block boundary by the small block count, and stopping the increment in the operation time according to invention according to claim 22, since modification of the boundary location of each block is freely enabled about the field of the block division for exposure decision assessment.

[0187] Since the output of a spatial filter is independently outputted with a dimension signal and it enables it to add it in the output of the pixel data after profile emphasis according to invention according to claim 23 With former data expressing the operation bit length of the main large pixel of bit length among the pixel data of a spatial filter, and outputting separately the small profile emphasis component (high region signal component) of bit length without it increases the bit length of each pixel by carrying out the multiplication of the each multiplier to the former data of a main pixel, and considering as the configuration added after that etc. — the need — sufficient filter operation can be performed. Therefore, the total number of bits of the data as the whole can be controlled, and circuit magnitude can be made small. Moreover, since a dimension signal and a high region signal are separable, profile emphasis can be performed by performing the nonlinear operation "coring" to this high region signal, suppressing the increment in a noise easily.

[0188] In case profile emphasis is carried out to the signal after performing a gamma correction according to claim 24 and invention according to claim 25, it is made to perform coring, and profile emphasis is attained, the thing of each pixel relatively emphasized strongly about a bright part since it enables it to become irregular easily with the value of a color component specially becoming possible easily about the threshold width of face of coring, and preventing the increment in a noise in that case.

[0189] Moreover, since according to invention according to claim 25 spatial-frequency conversion is performed to the color component of arbitration and it can store in the original color component in piles, frequency-conversion processing for every color can be independently performed at a high speed.

[0190] When using an interlace type thing as an image sensor according to invention according to claim 26 The pixel data in the first field in main memory are read and referred to synchronizing with the pixel entry of data of the second field from an image sensor. Since it is made to perform a predetermined image processing including pixel interpolation processing, color space conversion processing, and profile amendment processing, read-out termination and coincidence of the pixel data of the second field can be made to be able to end an image processing, and processing effectiveness can be raised substantially. Moreover, since the image storing field in main memory requires only a part for the 1 about the first field field, the need capacity of main memory can be reduced.

[0191] In case according to invention according to claim 27 the pixel data once stored in main memory are again inputted into a real-time processing unit and are processed, that division is possible to two or more blocks by ***** Also when there are more image pick-up pixels of an image sensor than the number of the pixel data in the line memory in a real-time processing unit It is possible to maintain the level size of an image below at the number of pixels of line memory, and a limit of the horizontal picture element size of an image sensor does not exist about processing of a real-time processing unit, but it is effective in the ability to offer the image-processing circuit excellent in versatility.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the outline of the whole configuration of the digital still camera concerning the gestalt of implementation of one of this invention.

[Drawing 2] It is the block diagram showing the configuration concerning delivery of the data of the real-time processing unit in the digital still camera concerning the gestalt of implementation of one of this invention, and CPU.

[Drawing 3] It is the block diagram showing the outline of the internal configuration of the real-time processing unit in the digital still camera concerning the gestalt of implementation of one of this invention.

[Drawing 4] It is the block diagram showing the internal structure of the single pixel processing section in a real-time processing unit.

[Drawing 5] It is drawing showing the processing structure of the single pixel processing section at the time of accumulation processing.

[Drawing 6] It is drawing showing the processing structure of the single pixel processing section at the time of circulation addition processing.

[Drawing 7] It is the distribution map of brightness showing the condition that shading occurred all over the image line.

[Drawing 8] When shading compensation processing is performed per block, it is the distribution map of brightness showing the condition that the brightness level difference arose.

[Drawing 9] It is drawing showing the processing structure of the single pixel processing section at the time of shading compensation processing.

[Drawing 10] It is drawing showing the example of the pixel array of RGB-Bayer.

[Drawing 11] It is drawing showing a YMCG system complementary color type pixel array.

[Drawing 12] It is drawing showing a general pixel array.

[Drawing 13] It is drawing showing actuation of the general pixel interpolation under 4 color system pixel array.

[Drawing 14] It is the block diagram showing the internal structure of the pixel interpolation and the gamma processing section in a real-time processing unit.

[Drawing 15] It is the block diagram having shown AF assessment function in the pixel interpolation and the gamma processing section in a real-time processing unit.

[Drawing 16] It is the block diagram having shown the defective pixel amendment function in the pixel interpolation and the gamma processing section in a real-time processing unit.

[Drawing 17] It is drawing showing the gamma correction table in the pixel interpolation and the gamma processing section in a real-time processing unit.

[Drawing 18] It is drawing showing the condition that the gamma correction table in the pixel interpolation and the gamma processing section in a real-time processing unit was divided into four look-up tables.

[Drawing 19] It is the block diagram showing the color space conversion and the color oppression processing section in a real-time processing unit.

[Drawing 20] It is the block diagram showing the condition of choosing the "Gh" signal and the signal of four amorous glance, and performing predetermined processing actuation of KUROMASA press processing etc.

[Drawing 21] It is the block diagram showing the actuation at the time of the KUROMASA press processing based on the "Y" signal.

[Drawing 22] It is the block diagram showing the actuation at the time of gamma transform processing based on the "Y" signal.

[Drawing 23] It is drawing showing the condition of having divided the image at equal intervals for every block.

[Drawing 24] It is drawing showing the condition of having optimized and divided the image for every block.

[Drawing 25] It is the block diagram showing the internal configuration of the spatial filter coring processing section in the digital still camera concerning the gestalt of implementation of one of this invention.

[Drawing 26] It is the distribution map showing the example of luminance distribution of the image before profile amendment processing.

[Drawing 27] It is the distribution map showing the example of luminance distribution of the image after profile amendment processing.

[Drawing 28] It is the functional block diagram showing the modulation function of a coring function.

[Drawing 29] It is the functional block diagram showing the modulation function of a coring function.

[Drawing 30] It is the block diagram showing the conventional example about the data input actuation to the real-time processing unit in the case of using interlace type CCD.

[Drawing 31] It is the block diagram showing the data input actuation to the real-time processing unit in the digital still camera concerning the gestalt of implementation of one of this invention in the case of using interlace type CCD.

[Drawing 32] It is drawing showing the actuation which divides and processes a screen to two or more blocks.

[Drawing 33] It is the block diagram showing the conventional digital still camera whole configuration.

[Drawing 34] It is the block diagram showing the actuation which performs a real-time operation in a real-time processing unit.

[Drawing 35] It is the block diagram showing actuation in case CPU performs an exceptional image processing in the former.

[Description of Notations]

21 CCD

22 Analog Signal Processing Circuit

23 Real-time Processing Unit

24 CPU

26 External Interface

27 Finder

28 Main Bath

29 Main Memory

30 Memory Card

32 DMA Controller

41 Single Pixel Processing Section

42 Pixel Interpolation and Gamma Processing Section

43 Color Space Conversion and Color Oppression Processing Section

44 Spatial Filter Coring Processing Section

45 Resizing Processing Section

52 Shifter

53 First Selector

54 First Multiplier

55 Second Selector

56 Second Multiplier

57 Adder

58 Limiter

61a, 61b, 92a-92d Line memory

62 Pixel Register

63 Colour Selection Block

64 Selector

65 Arithmetic Circuit

65b Input terminal

66 Buffer

67 Adder

68 Accumulation Adder

71 Gamma Correction Table

71a-71d Shift register

72a, 72b Comparator

73 Defective Pixel Timing Generating Circuit

74 76 Register

75 AND Circuit

77a and 77b Selector

78 Gamma Correction Table

78a-78d Look-up table

79a-79d Selector

81 Selector

82 Look-up Table for the Description Data

83 Color Space Conversion Circuit

84 Look-up Table for Brightness

85 Exposure Decision Assessment Machine

86a-86c, and 87a-87c Multiplier

91 Spatial Filter

92a-92d Line memory

93 Wiring

94 97 Multiplier

96 Wiring

98 First Coring Function Block
99 Adder
101,102 Wiring
103,104 The third coring function block
105 Wiring
105a Selector
106,111 The reverse gamma effectiveness block
107 Multiplier
108 Selector
111 The Reverse Gamma Effectiveness Block
112 Multiplier
113 Selector
118 Image Frame
119 Block

[Translation done.]

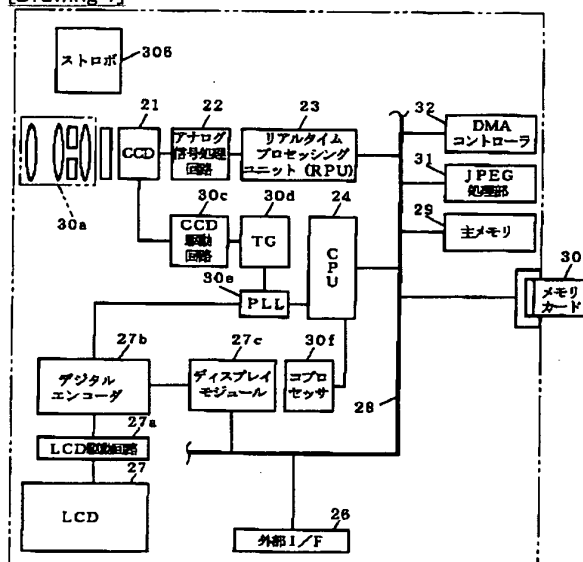
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

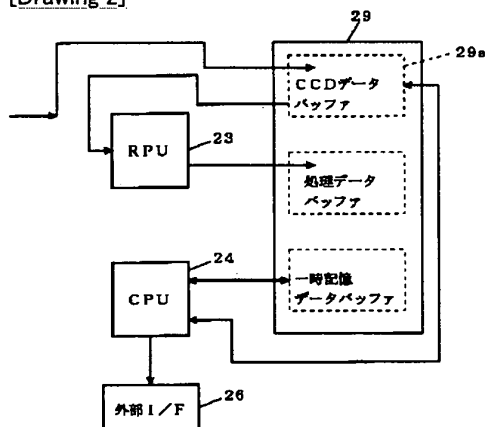
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

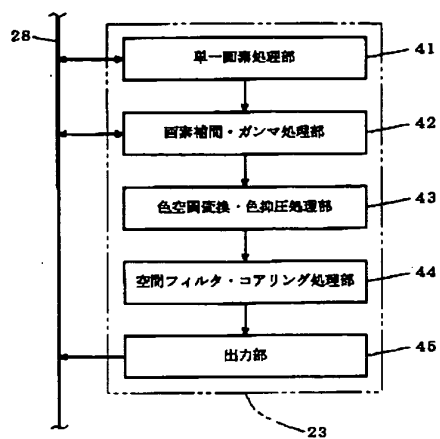
[Drawing 1]



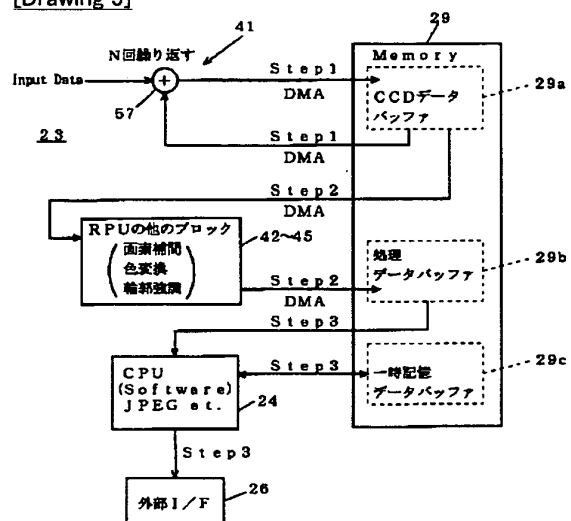
[Drawing 2]



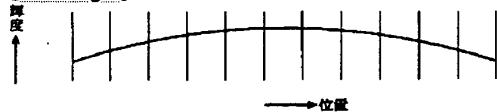
[Drawing 3]



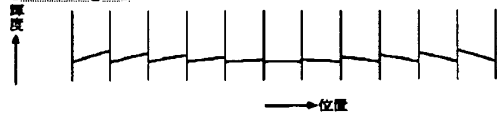
[Drawing 5]



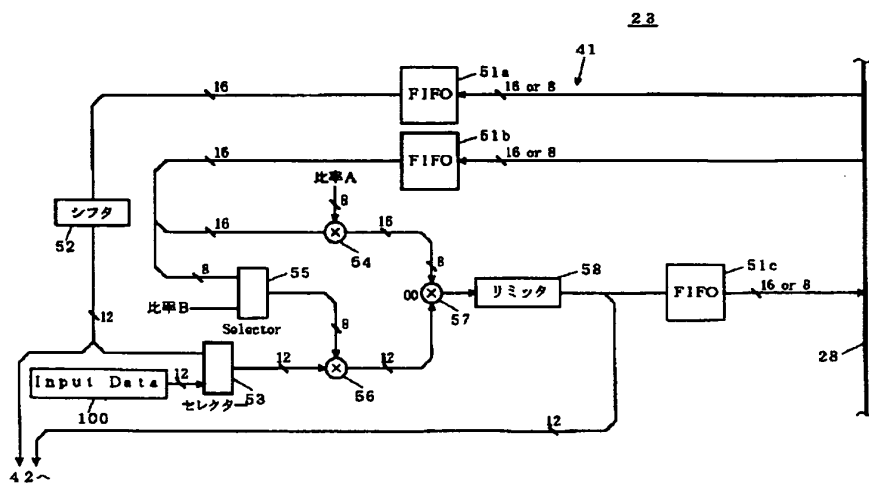
[Drawing 7]



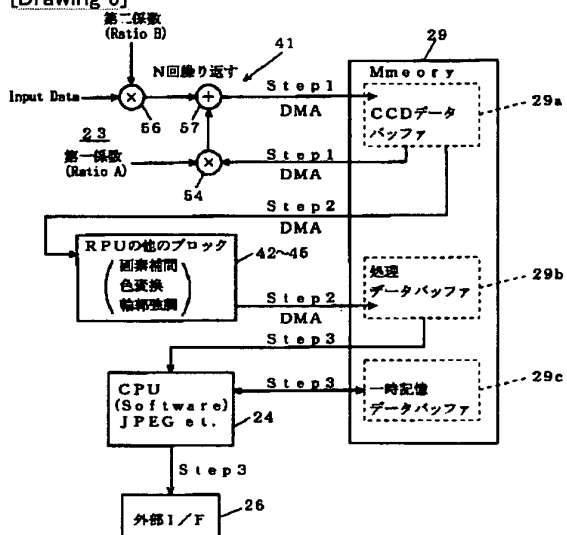
[Drawing 8]



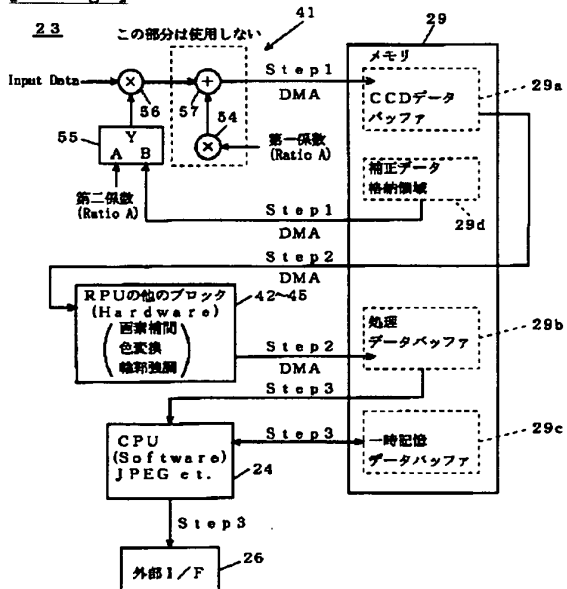
[Drawing 4]



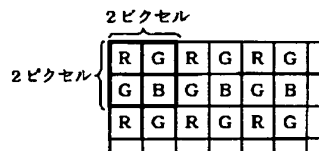
[Drawing 6]



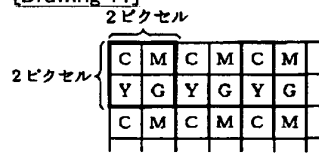
[Drawing 9]



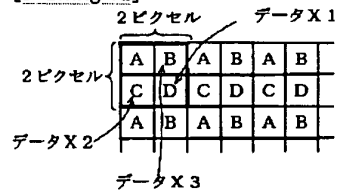
[Drawing 10]



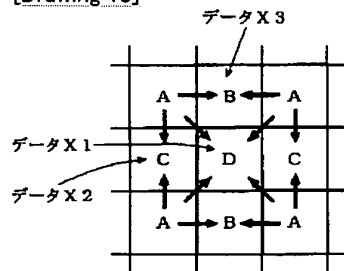
[Drawing 11]



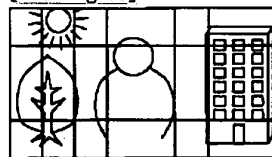
[Drawing 12]



[Drawing 13]

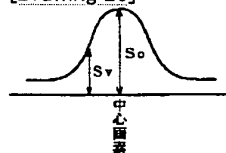


[Drawing 23]

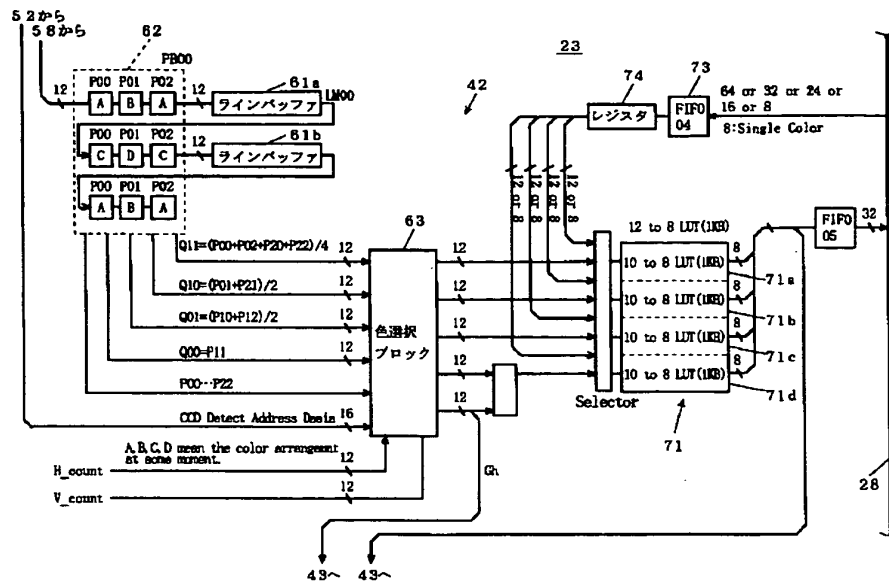


任意境界ブロック

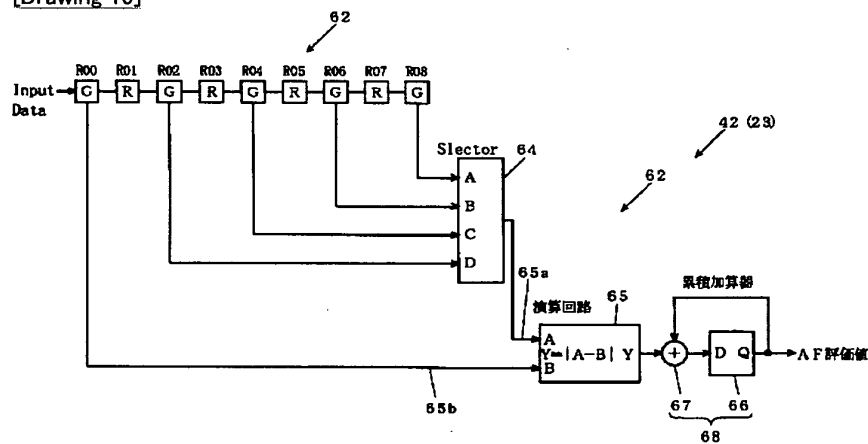
[Drawing 26]



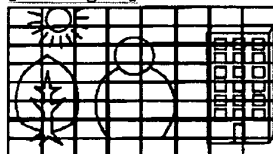
[Drawing 14]



[Drawing 15]

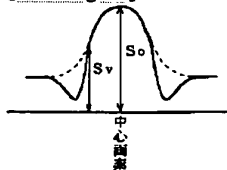


[Drawing 24]

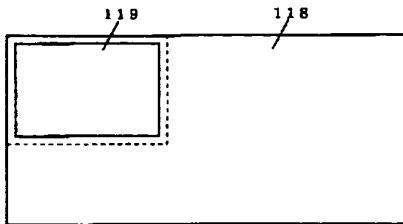


最適化したブロック
等間隔ブロック

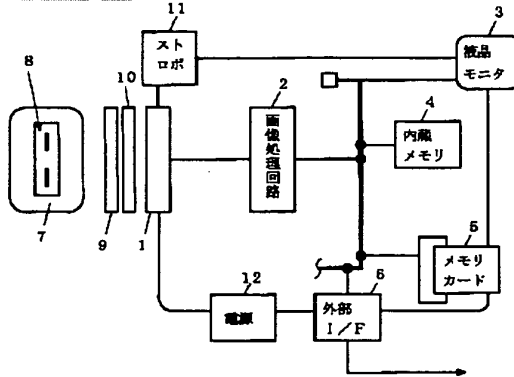
[Drawing 27]



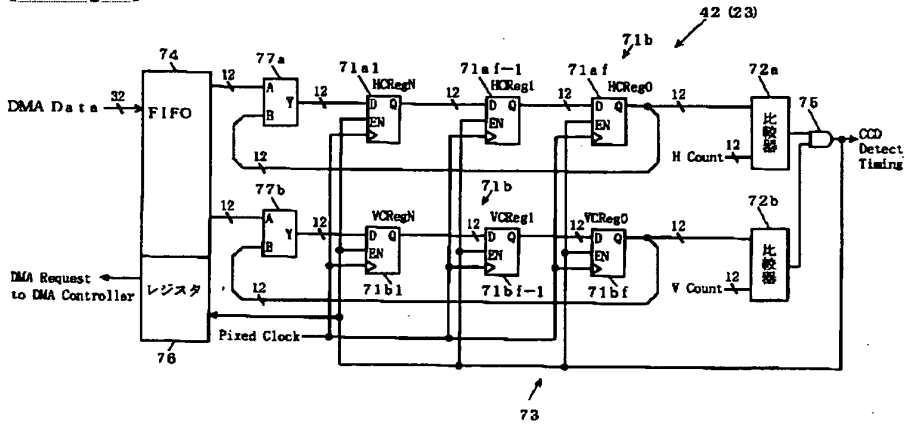
[Drawing 32]



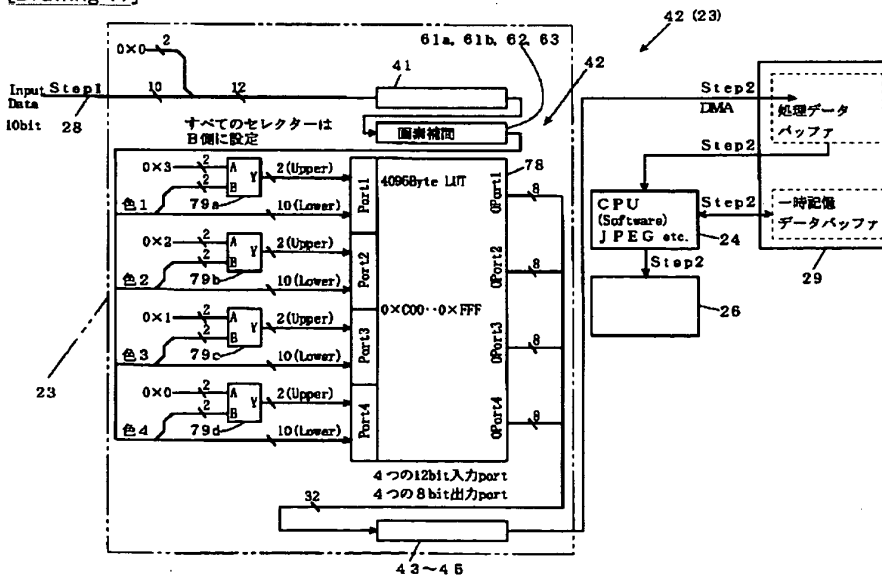
[Drawing 33]



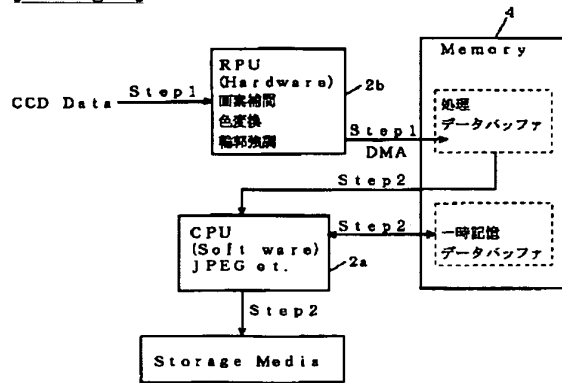
[Drawing 16]



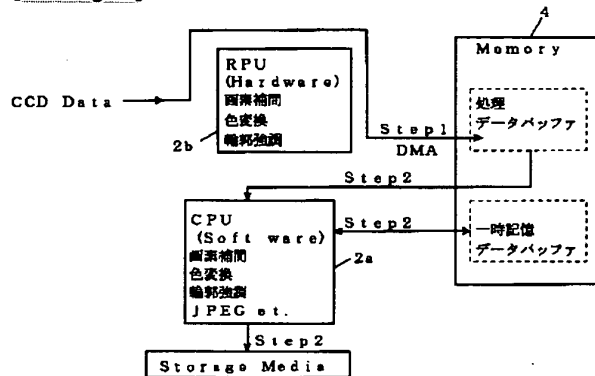
[Drawing 17]



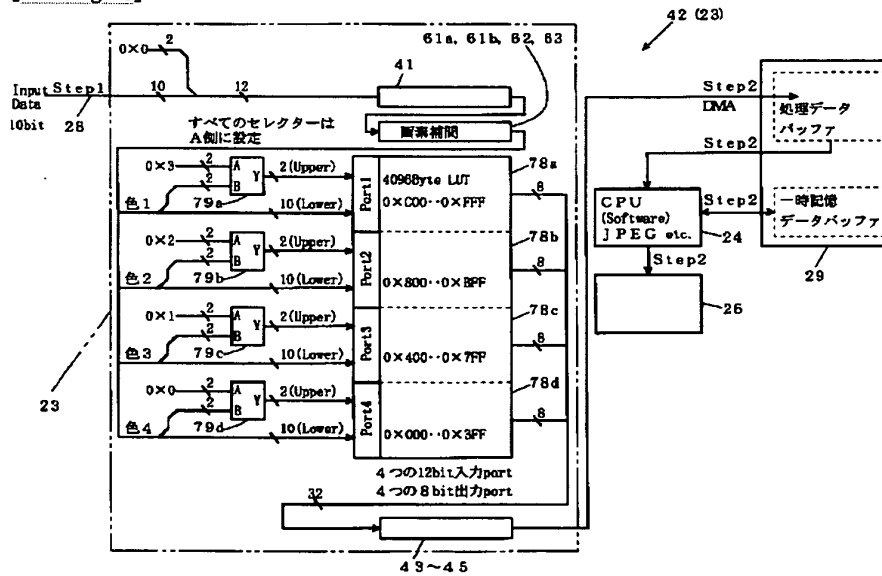
[Drawing 34]



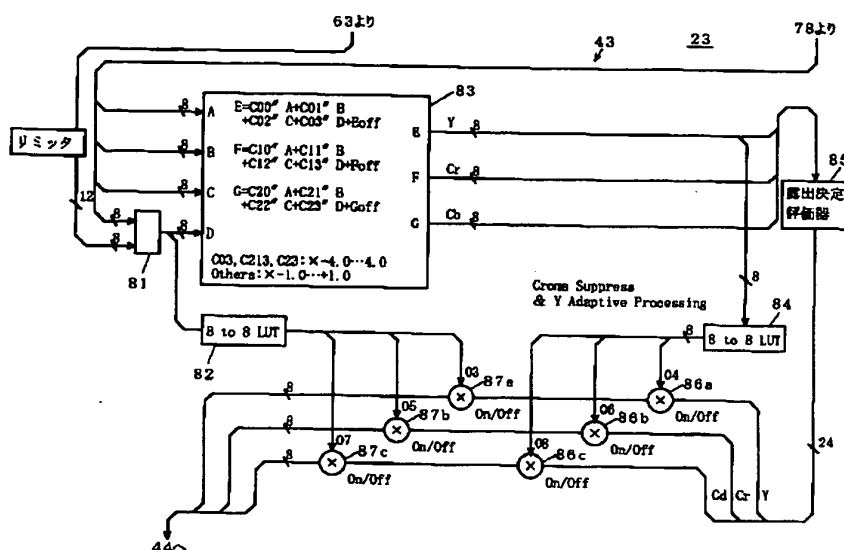
[Drawing 35]



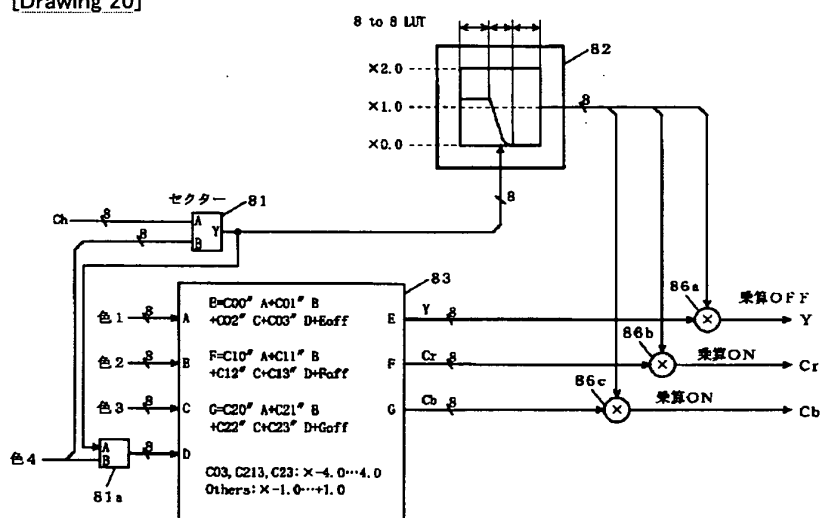
[Drawing 18]



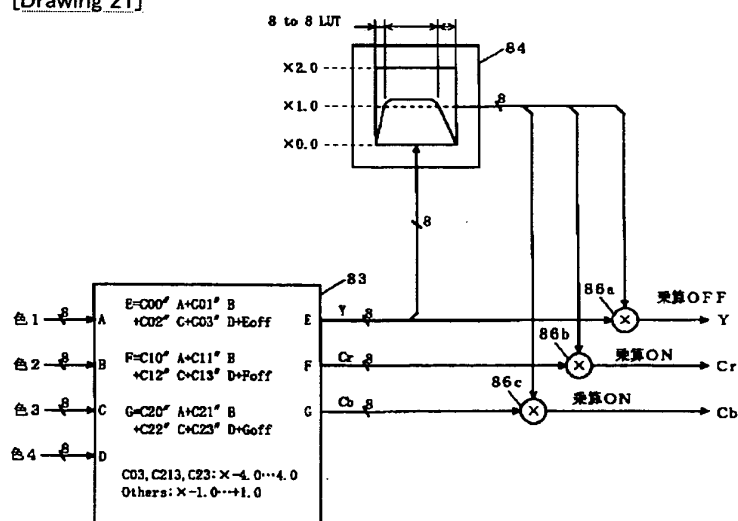
[Drawing 19]



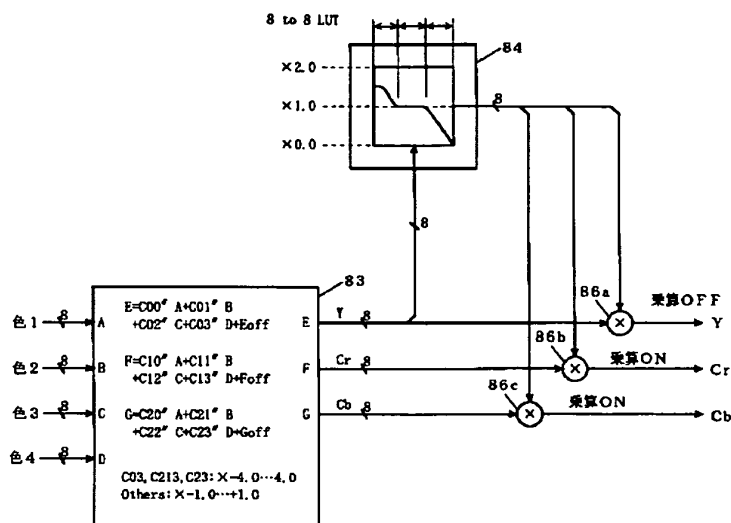
[Drawing 20]



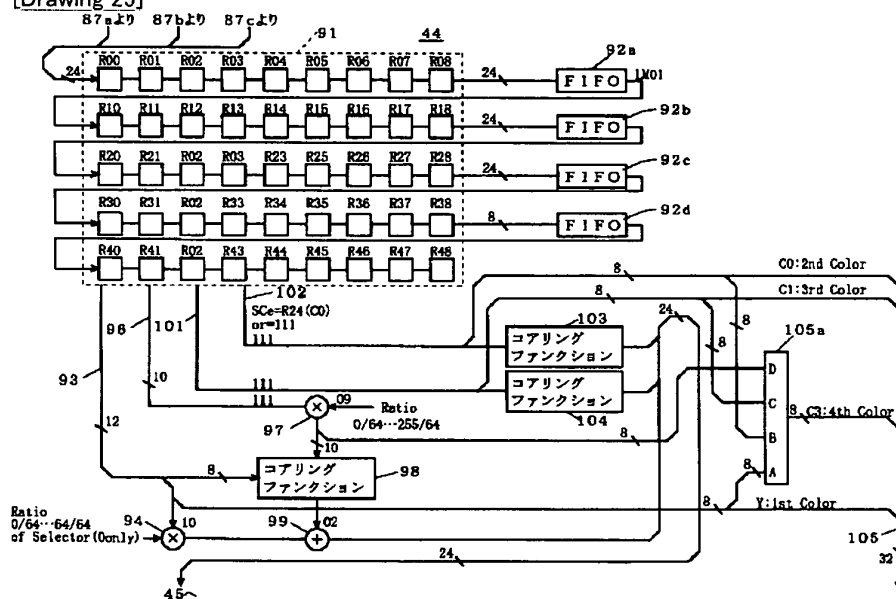
[Drawing 21]



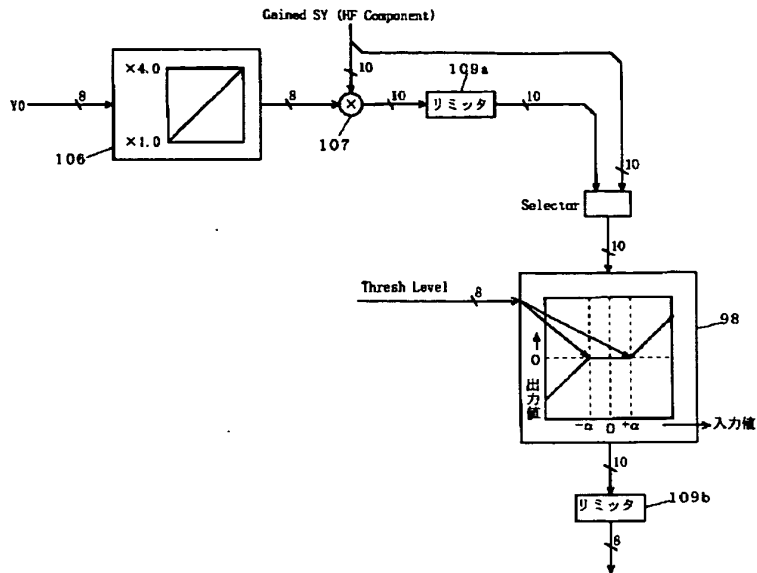
[Drawing 22]



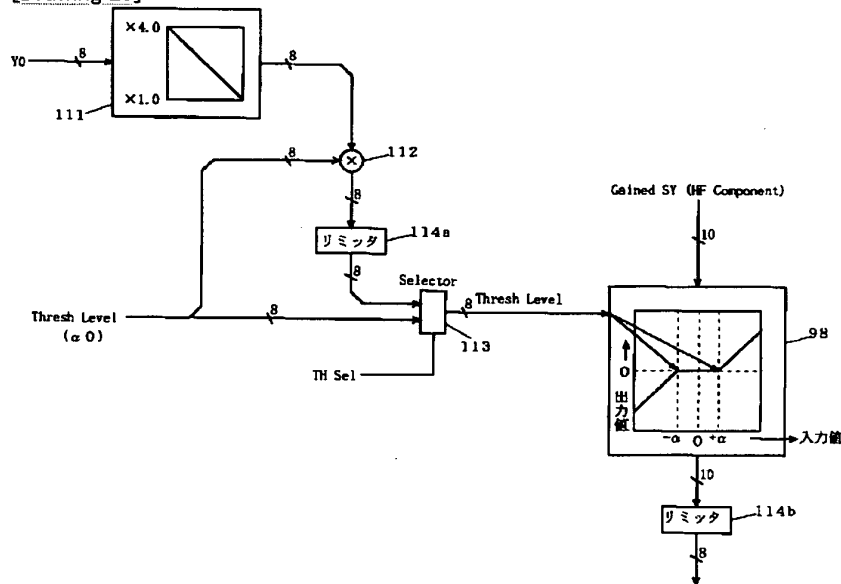
[Drawing 25]



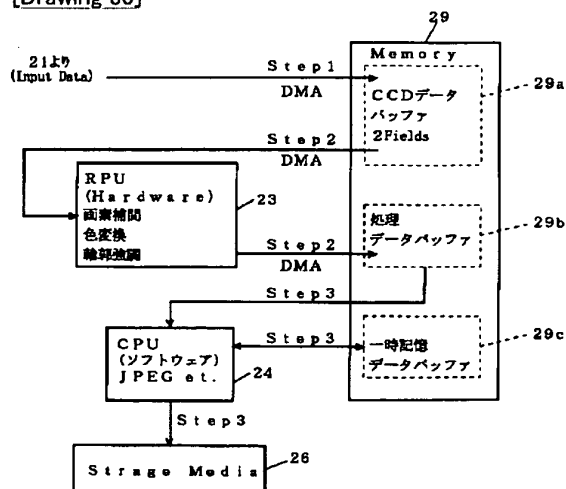
[Drawing 28]



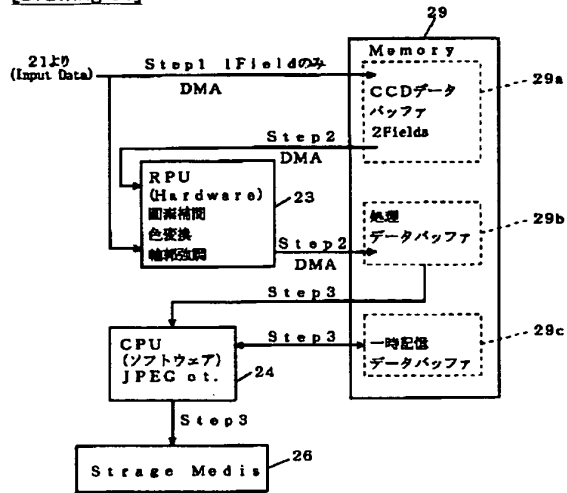
[Drawing 29]



[Drawing 30]



[Drawing 31]



[Translation done.]

(1) Japanese Patent Application Laid-Open No. 2000-236473

“IMAGE PROCESSING CIRCUIT FOR IMAGE INPUT DEVICE”

and its computer-generated English translation

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-236473

(P2000-236473A)

(43) 公開日 平成12年8月29日(2000.8.29)

(51)Int.Cl. 7	識別記号	F I	テーマコード(参考)
HO4N	5/232	HO4N	5/232 Z 5B057
GO6T	1/00		5/235 5C022
HO4N	5/235		5/262 5C023
	5/262		5/335 P 5C024
	5/335		9/07 C 5C065
審査請求	未請求	請求項の数 27 O L	(全 39 頁) 最終頁に続く

(21) 出願番号 特願平11-34979

(22) 出願日 平成11年2月12日(1999.2.12)

(71) 出願人 591128453

株式会社メガチップス

大阪市淀川区宮原4丁目1番6号

(72) 発明者 佐々木 元

大阪市淀川区宮原4丁目5番36号

株式会社

メガチップス内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

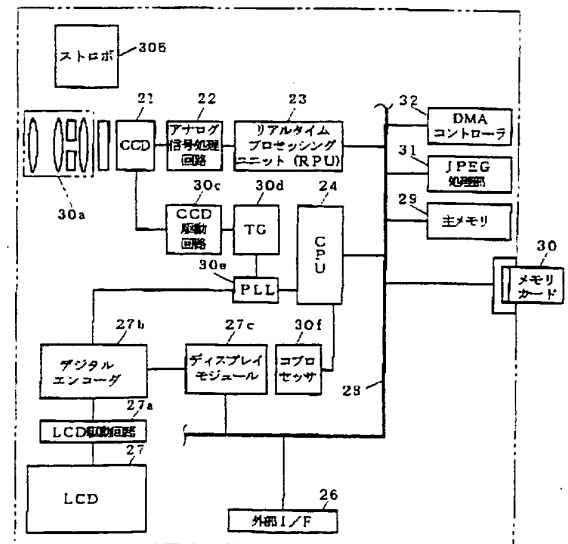
最終頁に続く

(54) 【発明の名称】 画像入力装置の画像処理回路

(57) 【要約】

【課題】 デジタルステルカメラ等の画像入力装置において、高速化し且つ消費電力を低くする。

【解決手段】 CCD 21からの画素データに実時間処理を施すためのRPU 23において、予め用意されない特殊な例外的画像処理だけをCPU 24でソフトウェアプログラム処理し、その後一般画像処理を行うポスト処理では、一旦主メモリ 29に蓄えた画素データを再度RPU 23に入力して処理する。ソフトウェアプログラム処理で実行する場合に比較して大幅に高速化し、CPU 24での長時間にわたる処理を可久的に少なくして消費電力を減らす。



【特許請求の範囲】

【請求項 1】 画像入力装置内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、

前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、

前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される画素データと、前記主メモリ内に一旦格納された画像の画素データとを選択するセレクトを少なくとも有することを特徴とする画像入力装置の画像処理回路。

【請求項 2】 請求項 1 に記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、複数の画像処理部が順次に接続されてなり、

最前段の画像処理部は、前記セレクトを通じて、前記主メモリ内に一旦格納された画像の画素データが選択的に入力されるように接続され、

2 段目以降の画像処理部のうちの少なくともひとつは、当該画像処理部の前段の画像処理部から入力される画素データと、前記主メモリ内に一旦格納された画像の画素データとが、所定の他のセレクトにより選択的に入力されるように接続され、

最後段の画像処理部は、前記主メモリに画素データを送出するように接続され、

前記最後段の画像処理部より前段の画像処理部のうちの少なくともひとつは、次段の画像処理部と前記主メモリとの両方に画素データを送出するように接続されたことを特徴とする画像入力装置の画像処理回路。

【請求項 3】 請求項 1 または請求項 2 に記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニット及び前記撮像素子の動作タイミングを規律するためのタイミングジェネレータをさらに備え、

前記タイミングジェネレータは、

前記セレクトが、前記撮像素子で撮像されて順次入力される画素データを選択しているときは、前記リアルタイムプロセッシングユニットの動作タイミングと前記撮像素子の動作タイミングとを同期して規律する同期制御機能と、

前記セレクトが、前記主メモリ内に一旦格納された画像の画素データを選択しているときは、前記リアルタイム

プロセッシングユニットの動作タイミングと前記撮像素子の動作タイミングとを非同期に規律する非同期制御機能とを有することを特徴とする画像入力装置の画像処理回路。

【請求項 4】 請求項 1 ないし請求項 3 のいずれかに記載の画像入力装置の画像処理回路であって、前記セレクトが、前記主メモリ内に一旦格納された画像の画素データを選択しているときは、当該画素データが、前記主メモリから前記リアルタイムプロセッシングユニットに対して複数回に亘って循環的に繰返し入力されることを特徴とする画像入力装置の画像処理回路。

【請求項 5】 請求項 1 ないし請求項 4 のいずれかに記載の画像入力装置の画像処理回路であって、前記リアルタイムプロセッシングユニットと、前記主メモリと、前記中央制御部との間で送受信が行われる画素データは、4 つの画素成分のそれぞれについて所定のデータ長が与えられた 4 個の成分データから構成され、前記 4 個の成分データのうちの少なくとも 1 個は、前記リアルタイムプロセッシングユニット内で一般画像処理内で処理された任意の 1 個の成分データが選択的に格納されることを特徴とする画像入力装置の画像処理回路。

【請求項 6】 請求項 1 ないし請求項 5 のいずれかに記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される画素データまたは前記主メモリからの画素データが 4 色系の画素データである場合には、当該 4 色系の画素データの 4 色の各成分のデータのそれぞれを前記各成分データに格納する一方、前記撮像素子で撮像されて順次入力される画素データまたは前記主メモリからの画素データが 3 色系の画素データである場合には、当該 3 色系の画素データに加えて、4 色目の成分のデータに、前記リアルタイムプロセッシングユニット内で一般画像処理内で処理された任意の 1 個の成分データを、各画素データの所定の特徴データとして付加する機能を有することを特徴とする画像入力装置の画像処理回路。

【請求項 7】 画像入力装置内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、

前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、

前記リアルタイムプロセッシングユニットは、前記撮像

素子で撮像されて順次入力される各画素データが複数フレームに亘る場合に、当該撮像素子からの各フレーム内の各画素データに対して、前記主メモリ内に一旦記憶された前フレーム中の同位置の画素データを加算してから再び前記主メモリ内に記憶する累積加算処理を所定の回数繰り返して実行する累積加算処理機能を有することを特徴とする画像入力装置の画像処理回路。

【請求項 8】 画像入力装置内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、

前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、

前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される各画素データが複数フレームに亘る場合に、当該撮像素子からの各フレーム内の各画素データと、前記主メモリ内に一旦記憶された前フレーム中の同位置の画素データとを、所定の重み付け係数によりそれぞれ乗算しつつ加算してから再び前記主メモリ内に記憶する循環加算処理を所定の回数繰り返して実行する循環加算処理機能を有し、

前記循環加算処理における前記重み付け係数は、前記主メモリ内に一旦記憶された前フレーム中の同位置の画素データに乘算する第一係数と、撮像素子からの各フレーム内の各画素データに乘算する第二係数とからなり、前記第一係数と第二係数との合計値が常に 1 になるよう予め設定されることを特徴とする画像入力装置の画像処理回路。

【請求項 9】 画像入力装置内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、

前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、

前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される各画素データに対し

て、シェーディング補正を含む所定の画素補正のために予め前記主メモリ内に記憶された所定の画素補正パラメータを乗算する画素補正機能を有することを特徴とする画像入力装置の画像処理回路。

【請求項 10】 画像入力装置内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、

前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、

前記リアルタイムプロセッシングユニットは、少なくとも、請求項 7 に記載の前記累積加算処理機能と、請求項 8 に記載の循環加算処理機能とを選択する機能を有することを特徴とする画像入力装置の画像処理回路。

【請求項 11】 画像入力装置内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、

前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、

前記リアルタイムプロセッシングユニットは、請求項 7 に記載の前記累積加算処理機能と、請求項 8 に記載の循環加算処理機能と、請求項 9 に記載の画素補正機能とを選択する機能を有することを特徴とする画像入力装置の画像処理回路。

【請求項 12】 請求項 1 ないし請求項 9 のいずれかに記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、
3×3 ピクセルレジスタ及び 2 個のラインメモリを有し、前記 3×3 ピクセルレジスタ内の中央に位置する注目画素に対して、その周囲の画素を参照するための画素参照ブロックと、

前記画素参照ブロック内の前記注目画素に対して色成分についての画素補間を行う色選択ブロックとをさらに有し、

前記色選択ブロックは、前記画素参照ブロック内の各画

素が4色系の2×2の画素配列の場合は、各画素について相互に同様の補間を行う第一演算処理によって画素補間を行う一方、前記画素参照ブロック内の各画素が3色系の画素配列の場合は、4色系と同様の2×2の画素配列内の4色目の画素として前記3色系の画素中の一成分を使用し、各画素の画素補間処理において当該一成分と他の成分とで異なった補間を行う第二演算処理を実行する機能を有せしめられたことを特徴とする画像入力装置の画像処理回路。

【請求項13】 請求項12に記載の画像入力装置の画像処理回路であって、

前記3色系の画素配列は、赤色成分、緑色成分及び青色成分からなるRGBベイヤーであり、

前記リアルタイムプロセッシングユニット内の前記色選択ブロックは、前記画素参照ブロック内の各画素がRGBベイヤーの場合に、4色系と同様の2×2の画素配列内の4色目の画素として前記緑色成分を使用し、且つ、2×2の画素配列内で前記緑色成分が対角線状に配置されるようにし、前記緑色成分を他の成分に補間する画素補間処理において、他の成分である注目画素の上下左右の4画素の前記緑色成分の平均値を求めて画素補間し、または、他の成分である注目画素の上下左右の4画素の前記緑色成分のうち最小値及び最大値を除いた残りの2画素の平均値を求めて画素補間する機能を有せしめられたことを特徴とする画像入力装置の画像処理回路。

【請求項14】 請求項1ないし請求項13のいずれかに記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、オートフォーカスのための適正評価を行うための評価値として、画像中の画素配列のうち所定の同一成分の複数の近隣画素の差分の絶対値を一定領域について積分した高周波成分評価値を出力するオートフォーカス評価部をさらに有し、

前記オートフォーカス評価部は、

差分をとるべき一対の同一成分の画素同士の離間タイミングを選択的に変更できるセレクトと、

前記セレクトで選択された離間タイミングだけ離間した一対の同一成分の画素の差分の絶対値を演算する演算回路と、

前記演算回路から順次出力されてくる絶対値を一定回数だけ累積加算する累積加算器とを備える画像入力装置の画像処理回路。

【請求項15】 画像入力装置内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する

主メモリとを備え、

前記リアルタイムプロセッシングユニットは、当該リアルタイムプロセッシングユニット外の前記主メモリに格納された欠陥画素アドレスを読み出し、画像中の画素データの画素アドレスが前記欠陥画素アドレスに一致したときに欠陥画素補正を行う欠陥画素補正部をさらに有することを特徴とする画像入力装置の画像処理回路。

【請求項16】 請求項15に記載の画像入力装置の画像処理回路であって、

10 前記主メモリ内に格納された欠陥画素アドレスが複数存在する場合には、画素配列の順次に従った順番で複数の欠陥画素アドレスが格納され、

前記リアルタイムプロセッシングユニットの欠陥画素補正部は、

複数のレジスタが連なって、主メモリ内に格納された欠陥画素アドレスが順次入力されるシフトレジスタと、前記シフトレジスタの最終段に接続されて、順次入力される画素データのアドレスカウンタ値と、前記シフトレジスタの最終段から与えられた欠陥画素アドレスとを比較し、一致していた場合に欠陥画素タイミング信号を出力する比較器とを備え、

前記シフトレジスタは、欠陥画素アドレスを保持し最終段の出力が最前段の入力端子にループして形成され、

前記比較器は、順次入力される画素データのアドレスカウンタ値と、前記シフトレジスタの最終段から与えられた欠陥画素アドレスとを比較し、一致していた場合にシフトタイミング及び欠陥画素補正タイミングの信号を出力する比較器であり、

30 前記シフトレジスタのシフトは前記比較器から与えられたシフトタイミングの信号によって実行されることを特徴とする画像入力装置の画像処理回路。

【請求項17】 画像入力装置内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、

40 前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、

前記リアルタイムプロセッシングユニットは、

Nビット長の1個の画素データが与えられた場合に当該1個の画素データについてガンマ補正処理を行うことのできるガンマ補正テーブルと、

Nビット長の1個の画素データが与えられた場合に、当該1個の画素データを前記ガンマ補正テーブルに入力す

る一方、 $(N-2)$ ビット長の画素データが与えられた場合に、前記ガンマ補正テーブルを4分割してなる4個のルックアップテーブルのそれぞれに $(N-2)$ ビット長の画素データとして順次与えられた4個のデータ列を入力するよう切り換えるセレクトとをさらに有することを特徴とする画像入力装置の画像処理回路。

【請求項18】 請求項1ないし請求項17のいずれかに記載の画像入力装置の画像処理回路であって、前記リアルタイムプロセッシングユニットは、所定の色成分配列を有する第一配列方式の画素データを、所定の特別色成分を有する第二配列方式の画素データに変換する色空間変換回路と、

前記色空間変換回路で変換された前記第二配列方式の画素データのうちの前記所定の特別色成分のみを入力し、当該特別色成分の値を所定の関数で数値変換して出力する特別色用ルックアップテーブルと、

前記特別色用ルックアップテーブルから出力された値を、前記第二配列方式の画素データのうちの前記所定の特別色成分以外の成分にそれぞれ乗算する乗算器とを備える画像入力装置の画像処理回路。

【請求項19】 請求項12または請求項13に記載の画像入力装置の画像処理回路であって、前記リアルタイムプロセッシングユニットは、前記色選択ブロック内の前記画素参照ブロックで得られる緑色成分の高域成分信号と前記主メモリ内に格納された4色目の画素とを選択するセレクトと、

前記セレクトで選択されたデータが特徴データとして入力されて所定の関数で数値変換して出力する特徴データ用ルックアップテーブルと、

前記特徴データ用ルックアップテーブルから出力された値を所定の画素配列の画素データの各成分にそれぞれ乗算する乗算器とを備える画像入力装置の画像処理回路。

【請求項20】 請求項12または請求項13に記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、前記色選択ブロック内の前記画素参照ブロック内に格納され、または前記撮像素子から与えられた各画素のうちの4色目の画素と、前記3色系の画素配列の場合に 2×2 の画素配列内の4色目の画素として使用された前記3色系の画素中の一成分の画素とを選択するセレクトと、前記セレクトによって選択された画素を特徴データとして入力し、当該特徴データを所定の関数で数値変換して出力する特徴データ用ルックアップテーブルと、

前記特徴データ用ルックアップテーブルから出力された値を所定の画素配列の画素データの各成分にそれぞれ乗算する乗算器とを備える画像入力装置の画像処理回路。

【請求項21】 請求項12または請求項13に記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、所定の色成分配列を有する第一配列方式の画素データ

を、所定の特別色成分を有する第二配列方式の画素データに変換する色空間変換回路と、

前記色選択ブロックから出力された4色目の画素のデータまたは前記第一配列方式の画素データ中の一の成分のデータの前記色空間変換回路に対する入力の可否を切り換えるセレクトとをさらに有し、

前記色空間変換回路は、当該色空間変換回路に対して前記セレクトがデータの入力を許可したときに、入力を許可された当該データを4色目の画素のデータとして第二配列方式の画素データに変換する機能を有することを特徴とする画像入力装置の画像処理回路。

【請求項22】 請求項1ないし請求項21のいずれかに記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、画像フレーム中において少なくとも 3×3 の複数のブロックにブロック分割し、各ブロックにおける前画素の特別色成分の積分値を求めて撮像素子での撮像時における露出決定の評価値を出力する露出決定評価器をさらに有し、

前記露出決定評価器は、前記各ブロック同士の境界線を上下左右方向に任意に設定変更できるようにしたことを特徴とする画像入力装置の画像処理回路。

【請求項23】 請求項1ないし請求項22のいずれかに記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、所定の色空間におけるデータ群を処理する空間フィルタと、

前記空間フィルタ内の前記データ群のうち周波数変換後の成分のみをゲイン調整して輪郭補正処理を行う輪郭補正処理部とをさらに有し、

前記輪郭補正処理部は、前記空間フィルタ内の前記データ群のうち周波数変換後の成分のみをゲイン調整したデータと、前記空間フィルタ内の元データとを別々のデータとして出力する機能を有することを特徴とする画像入力装置の画像処理回路。

【請求項24】 請求項23に記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、輪郭補正処理部での輪郭補正処理において、前記空間フィルタから与えられた前記高周波特別色成分の振幅が所定のしきい幅より小さいときのみ、所定の非線形演算関数により当該振幅をゼロ値とみなして出力することで画像中のノイズ成分の除去を行うコアリングファンクションブロックと、

前記コアリングファンクションブロックにおける前記所定のしきい幅に対する前記高周波特別色成分の振幅の比率を相対的に変化させる逆ガンマ効果ブロックとを有し、

前記逆ガンマ効果ブロックは、前記空間フィルタから与えられた元データの特別色成分により前記比率を所定の比率変換関数により決定するようにされ、

前記所定の比率変換関数は、前記元データの特別色成分が大きいほど、前記所定のしきい値に対する前記高周波特別色成分の振幅の比率を増加するように設定されたことを特徴とする画像入力装置の画像処理回路。

【請求項 25】 請求項 23 に記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニット中の前記空間フィルタ内の前記データ群は 3 成分のデータの集積として構成され、

前記リアルタイムプロセッシングユニットは、前記主メモリに対して 3 成分出力または 4 成分出力が選択可能であり、いずれの場合においても、少なくとも 1 成分の出力に対し、前記空間フィルタ内の 3 成分及び周波数変換後の特別色成分のうちの 1 成分を選択的に出力可能であることを特徴とする画像入力装置の画像処理回路。

【請求項 26】 請求項 1 ないし請求項 25 のいずれかに記載の画像入力装置の画像処理回路であって、

前記主メモリは、前記撮像素子として、偶数ラインと奇数ラインが 2 つのフィールドとして時間的に異なったタイミングで読み出されるインターレースタイプのものを使用する場合に、前記偶数ラインと前記奇数ラインの一方に係る第一フィールドの画素データが格納され、

前記リアルタイムプロセッシングユニットは、前記偶数ラインと前記奇数ラインのうちの他方に係る第二フィールドの画素データが前記撮像素子から順次入力される際に、当該画素データに対応する前記主メモリ内の前記第一フィールド内の画素データを、前記第二フィールドの画素データの入力に同期して読み出し参照し、画素補間処理、色空間変換処理及び輪郭補正処理を含む所定の画像処理を実行することを特徴とする画像入力装置の画像処理回路。

【請求項 27】 請求項 1 ないし請求項 26 のいずれかに記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、1 ライン中において所定個数の画素データを格納するラインメモリを有し、

前記主メモリは、前記撮像素子から与えられるフレーム単位の画像を格納するようにされ、

前記リアルタイムプロセッシングユニットは、前記撮像素子の 1 ラインの撮像素子が前記ラインメモリ中の画素データの個数より多い場合に、前記主メモリに格納されたフレーム単位の前記画像を水平方向に複数ブロックに分割して認識し、

前記リアルタイムプロセッシングユニット内の前記ラインメモリには、前記主メモリ内で前記複数ブロックに分割された前記画像に係る画素データが順次入力されることを特徴とする画像入力装置の画像処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、画像入力装置内

において画素補間、色変換、輪郭補正処理、フィルタリング及び間引き処理等の所定の画像処理を行う画像入力装置の画像処理回路に関する。

【0002】

【従来の技術】 一般に、デジタルステルカメラ（画像入力装置）は、図 33 の如く、CCD 1 の駆動と画像の取り込みを画像処理回路 2 で行い、この画像処理回路 2 内で画素補間、色変換、輪郭補正処理、フィルタリング及び間引き処理等の所定の画像処理を行った後、この画像を液晶モニタ 3 等のファインダに表示するとともに、画像データを所定の内蔵メモリ 4 に格納するようになっており、また必要に応じて画像データをメモリカード 5 に保存格納したり、外部インターフェース（I/F）6 を通じて外部の所定の処理装置（パーソナルコンピュータ）等へ出力するようになっている。図 33 中の符号 7 は撮影レンズ、符号 8 は絞機構、符号 9 は光学ローパスフィルタ、符号 10 は赤外カットフィルタ、符号 11 はストロボ、符号 12 は電源をそれぞれ示している。

【0003】

20 【発明が解決しようとする課題】 ここで、一般に、画像処理回路 2 内には、図 34 及び図 35 の如く、CPU 2a の他に、CCD 1 で得られた画像のリアルタイムな画像処理を実行するリアルタイムプロセッシングユニット（RPU）2b が備えられることが多い。そして、一旦内蔵メモリ 4 内に格納された画像の各種画像処理は、CPU 2a のみがソフトウェアプログラムによって実行する構成となっていた。即ち、従来のリアルタイムプロセッシングユニット 2b は、専らファインダー動作等を行うためのリアルタイム画像処理に限定され、完全にソフトウェア処理とは分離されており、処理過程の変更は各部のパラメータを変更する程度であった。

【0004】 この場合、リアルタイムプロセッシングユニット 2b でのリアルタイム処理と、CPU 2a でのソフトウェア処理とが完全に分離されていたため、リアルタイムプロセッシングユニット 2b としてのハードウェアで用意されない特殊な処理が必要となった場合は、一旦リアルタイム処理を中断して、特殊な処理を実行した後、その他の一般的な処理を行うことになるが、一旦内蔵メモリ 4 内に格納した画像をリアルタイムプロセッシングユニット 2b で処理することができない構成となっていたため、図 35 の如く、それ以降の処理を、すべてソフトウェアで処理しなければならなかった。この場合、ハードウェア処理部（即ち、リアルタイムプロセッシングユニット 2b）を全く使用せず、最初から最後まで CPU 2a でのソフトウェア処理によって実行されるため、少しでも例外的画像処理が要求された場合には、極端に処理スピードが低下し、処理に非常に時間がかかることから、撮影の機会を失う等の不都合が生じていた。

50 【0005】 ここで、最初からソフトウェア処理を前提

にしておき、CPU 2 a の速度を上げて処理の高速化を図る場合もあるが、この時は CPU 2 a の高速動作のため消費電力が極端に大きくなり、ハードウェア処理に比較して、処理内容を複雑にすることができない。

【0006】これらのことから、従来の方法では、必ずしも効率的な画像処理を行っているとはいえない。

【0007】本発明では、CPU によりソフトウェア処理に必要な部分のみを修正した後、再びリアルタイムプロセッシングユニットでの高速処理を続行できるようにすることで、高速な画像処理が可能で且つ消費電力を低く抑制できるデジタルスチルカメラの画像処理回路を提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決すべく、請求項 1 に記載の発明は、デジタルスチルカメラ内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される画素データと、前記主メモリ内に一旦格納された画像の画素データとを選択するセレクタを少なくとも有することを特徴とするものである。

【0009】請求項 2 に記載の発明は、前記リアルタイムプロセッシングユニットは、複数の画像処理部が順次に接続されてなり、最前段の画像処理部は、前記セレクタを通じて、前記主メモリ内に一旦格納された画像の画素データが選択的に入力されるように接続され、2 段目以降の画像処理部のうちの少なくともひとつは、当該画像処理部の前段の画像処理部から入力される画素データと、前記主メモリ内に一旦格納された画像の画素データとが、所定の他のセレクタにより選択的に入力されるように接続され、最後段の画像処理部は、前記主メモリに画素データを送出するように接続され、前記最後段の画像処理部より前段の画像処理部のうちの少なくともひとつは、次段の画像処理部と前記主メモリとの両方に画素データを送出するように接続されたものである。

【0010】請求項 3 に記載の発明は、前記リアルタイムプロセッシングユニット及び前記撮像素子の動作タイミングを規律するためのタイミングジェネレータをさらに備え、前記タイミングジェネレータは、前記セレクタが、前記撮像素子で撮像されて順次入力される画素データを選択しているときは、前記リアルタイムプロセッシングユニットの動作タイミングと前記撮像素子の動作タ

イミングとを同期して規律する同期制御機能と、前記セレクタが、前記主メモリ内に一旦格納された画像の画素データを選択しているときは、前記リアルタイムプロセッシングユニットの動作タイミングと前記撮像素子の動作タイミングとを非同期に規律する非同期制御機能とを有するものである。

【0011】請求項 4 に記載の発明は、前記セレクタが、前記主メモリ内に一旦格納された画像の画素データを選択しているときは、当該画素データが、前記主メモリから前記リアルタイムプロセッシングユニットに対して複数回に亘って循環的に繰り返し入力されるものである。

【0012】請求項 5 に記載の発明は、前記リアルタイムプロセッシングユニットと、前記主メモリと、前記中央制御部との間で送受信が行われる画素データは、4 つの画素成分のそれぞれについて所定のデータ長が与えられた 4 個の成分データから構成され、前記 4 個の成分データのうちの少なくとも 1 個は、前記リアルタイムプロセッシングユニット内で一般画像処理内で処理された任意の 1 個の成分データが選択的に格納されるものである。

【0013】請求項 6 に記載の発明は、前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される画素データまたは前記主メモリからの画素データが 4 色系の画素データである場合には、当該 4 色系の画素データの 4 色の各成分のデータのそれぞれを前記各成分データに格納する一方、前記撮像素子で撮像されて順次入力される画素データまたは前記主メモリからの画素データが 3 色系の画素データである場合には、当該 3 色系の画素データに加えて、4 色目の成分のデータに、前記リアルタイムプロセッシングユニット内で一般画像処理内で処理された任意の 1 個の成分データを、各画素データの所定の特徴データとして付加する機能を有するものである。

【0014】請求項 7 に記載の発明は、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される各画素データが複数フレームに亘る場合に、当該撮像素子からの各フレーム内の各画素データに対して、前記主メモリ内に一旦記憶された前フレーム中の同位置の画素データを加算してから再び前記主メモリ内に記憶する累積加算処理を所定の回数繰り返して実行する累積加算処理機能を有するものである。

る。

【0015】請求項8に記載の発明は、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される各画素データが複数フレームに亘る場合に、当該撮像素子からの各フレーム内の各画素データと、前記主メモリ内に一旦記憶された前フレーム中の同位置の画素データとを、所定の重み付け係数によりそれぞれ乗算しつつ加算してから再び前記主メモリ内に記憶する循環加算処理を所定の回数繰り返して実行する循環加算処理機能を有し、前記循環加算処理における前記重み付け係数は、前記主メモリ内に一旦記憶された前フレーム中の同位置の画素データに乘算する第一係数と、撮像素子からの各フレーム内の各画素データに乘算する第二係数とからなり、前記第一係数と第二係数との合計値が常に1になるよう予め設定されるものである。

【0016】請求項9に記載の発明は、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される各画素データに対して、シェーディング補正を含む所定の画素補正のために予め前記主メモリ内に記憶された所定の画素補正パラメータを乗算する画素補正機能を有するものである。

【0017】請求項10に記載の発明は、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、前記リアルタイムプロセッシングユニットは、少なくとも、請求項7に記載の前記累積加算処理機能と、請求項8に記載の循環加算処理機能とを選択する機能を有する

ものである。

【0018】請求項11に記載の発明は、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、前記リアルタイムプロセッシングユニットは、請求項7に記載の前記累積加算処理機能と、請求項8に記載の循環加算処理機能と、請求項9に記載の画素補正機能とを選択する機能を有するものである。

【0019】請求項12に記載の発明は、前記リアルタイムプロセッシングユニットは、 3×3 ピクセルレジスタ及び2個のラインメモリを有し、前記 3×3 ピクセルレジスタ内の中央に位置する注目画素に対して、その周囲の画素を参照するための画素参照ブロックと、前記画素参照ブロック内の前記注目画素に対して色成分についての画素補間を行う色選択ブロックとをさらに有し、前記色選択ブロックは、前記画素参照ブロック内の各画素が4色系の 2×2 の画素配列の場合は、各画素について相互に同様の補間を行う第一演算処理によって画素補間を行う一方、前記画素参照ブロック内の各画素が3色系の画素配列の場合は、4色系と同様の 2×2 の画素配列内の4色目の画素として前記3色系の画素中の一成分を使用し、各画素の画素補間処理において当該一成分と他の成分とで異なった補間を行う第二演算処理を実行する機能を有せしめられたものである。

【0020】請求項13に記載の発明は、前記3色系の画素配列は、赤色成分、緑色成分及び青色成分からなるRGBベイヤードであり、前記リアルタイムプロセッシングユニット内の前記色選択ブロックは、前記画素参照ブロック内の各画素がRGBベイヤードの場合に、4色系と同様の 2×2 の画素配列内の4色目の画素として前記緑色成分を使用し、且つ、 2×2 の画素配列内で前記緑色成分が対角線状に配置されるようにし、前記緑色成分を他の成分に補間する画素補間処理において、他の成分である注目画素の上下左右の4画素の前記緑色成分の平均値を求めて画素補間し、または、他の成分である注目画素の上下左右の4画素の前記緑色成分のうち最小値及び最大値を除いた残りの2画素の平均値を求めて画素補間する機能を有せしめられたものである。

【0021】請求項14に記載の発明は、前記リアルタイムプロセッシングユニットは、オートフォーカスのための適正評価を行うための評価値として、画像中の画素配列のうち所定の同一成分の複数の近隣画素の差分の絶対値を一定領域について積分した高周波成分評価値を出力するオートフォーカス評価部をさらに有し、前記オー

トフォーカス評価部は、差分をとるべき一対の同一成分の画素同士の離間タイミングを選択的に変更できるセレクトと、前記セレクトで選択された離間タイミングだけ離間した一対の同一成分の画素の差分の絶対値を演算する演算回路と、前記演算回路から順次出力されてくる絶対値を一定回数だけ累積加算する累積加算器とを備えるものである。

【0022】請求項15に記載の発明は、デジタルスチルカメラ内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリとを備え、前記リアルタイムプロセッシングユニットは、当該リアルタイムプロセッシングユニット外の前記主メモリに格納された欠陥画素アドレスを読み出し、画像中の画素データの画素アドレスが前記欠陥画素アドレスに一致したときに欠陥画素補正を行う欠陥画素補正部をさらに有するものである。

【0023】請求項16に記載の発明は、前記主メモリ内に格納された欠陥画素アドレスが複数存在する場合には、画素配列の順次に従った順番で複数の欠陥画素アドレスが格納され、前記リアルタイムプロセッシングユニットの欠陥画素補正部は、複数のレジスタが連なって、主メモリ内に格納された欠陥画素アドレスが順次入力されるシフトレジスタと、前記シフトレジスタの最終段に接続されて、順次入力される画素データのアドレスカウンタ値と、前記シフトレジスタの最終段から与えられた欠陥画素アドレスとを比較し、一致していた場合に欠陥画素タイミング信号を出力する比較器とを備え、前記シフトレジスタは、欠陥画素アドレスを保持し最終段の出力が最前段の入力端子にループして形成され、前記比較器は、順次入力される画素データのアドレスカウンタ値と、前記シフトレジスタの最終段から与えられた欠陥画素アドレスとを比較し、一致していた場合にシフトタイミング及び欠陥画素補正タイミングの信号を出力する比較器であり、前記シフトレジスタのシフトは前記比較器から与えられたシフトタイミングの信号によって実行されるものである。

【0024】請求項17に記載の発明は、デジタルスチルカメラ内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以

外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、前記リアルタイムプロセッシングユニットは、Nビット長の1個の画素データが与えられた場合に当該1個の画素データについてガンマ補正処理を行うことのできるガンマ補正テーブルと、Nビット長の1個の画素データが与えられた場合に、当該1個の画素データを前記ガンマ補正テーブルに入力する一方、(N-2)ビット長の画素データが与えられた場合に、前記ガンマ補正テーブルを4分割してなる4個のルックアップテーブルのそれぞれに(N-2)ビット長の画素データとして順次与えられた4個のデータ列を入力するよう切り換えるセレクトとをさらに有するものである。

【0025】請求項18に記載の発明は、前記リアルタイムプロセッシングユニットは、所定の色成分配列を有する第一配列方式の画素データを、所定の特別色成分（一般に輝度成分）を有する第二配列方式の画素データに変換する色空間変換回路と、前記色空間変換回路で変換された前記第二配列方式の画素データのうちの前記所定の特別色成分のみを入力し、当該特別色成分の値を所定の関数で数値変換して出力する特別色用ルックアップテーブルと、前記特別色用ルックアップテーブルから出力された値を、前記第二配列方式の画素データのうちの前記所定の特別色成分以外の成分にそれぞれ乗算する乗算器とを備えるものである。

【0026】請求項19に記載の発明は、前記リアルタイムプロセッシングユニットは、前記色選択ブロック内の前記画素参照ブロックで得られる緑色成分の高域成分信号と前記主メモリ内に格納された4色目の画素とを選択するセレクトと、前記セレクトで選択されたデータが特徴データとして入力されて所定の関数で数値変換して出力する特徴データ用ルックアップテーブルと、前記特徴データ用ルックアップテーブルから出力された値を所定の画素配列の画素データの各成分にそれぞれ乗算する乗算器とを備えるものである。

【0027】請求項20に記載の発明は、前記リアルタイムプロセッシングユニットは、前記色選択ブロック内の前記画素参照ブロック内に格納され、または前記撮像素子から与えられた各画素のうちの4色目の画素と、前記3色系の画素配列の場合に2×2の画素配列内の4色目の画素として使用された前記3色系の画素中の一成分の画素とを選択するセレクトと、前記セレクトによって選択された画素を特徴データとして入力し、当該特徴データを所定の関数で数値変換して出力する特徴データ用ルックアップテーブルと、前記特徴データ用ルックアップテーブルから出力された値を所定の画素配列の画素データの各成分にそれぞれ乗算する乗算器とを備えるものである。

【0028】請求項21に記載の発明は、前記リアルタイムプロセッシングユニットは、所定の色成分配列を有

する第一配列方式の画素データを、所定の特別色成分（一般に輝度成分）を有する第二配列方式の画素データに変換する色空間変換回路と、前記色選択ブロックから出力された4色目の画素のデータまたは前記第一配列方式の画素データ中の一の成分のデータの前記色空間変換回路に対する入力の可否を切り換えるセレクトとをさらに有し、前記色空間変換回路は、当該色空間変換回路に対して前記セレクトがデータの入力を許可したときに、入力を許可された当該データを4色目の画素のデータとして第二配列方式の画素データに変換する機能を有するものである。

【0029】請求項22に記載の発明は、前記リアルタイムプロセッシングユニットは、画像フレーム中において少なくとも3×3の複数のブロックにブロック分割し、各ブロックにおける前画素の特別色成分（一般に輝度成分）の積分値を求めて撮像素子での撮像時における露出決定の評価値を出力する露出決定評価器をさらに有し、前記露出決定評価器は、前記各ブロック同士の境界線を上下左右方向に任意に設定変更できるようにしたものである。

【0030】請求項23に記載の発明は、前記リアルタイムプロセッシングユニットは、所定の色空間におけるデータ群を処理する空間フィルタと、前記空間フィルタ内の前記データ群のうち周波数変換後の成分のみをゲイン調整して輪郭補正処理を行う輪郭補正処理部とをさらに有し、前記輪郭補正処理部は、前記空間フィルタ内の前記データ群のうち周波数変換後の成分のみをゲイン調整したデータと、前記空間フィルタ内の元データとを別々のデータとして出力する機能を有するものである。

【0031】請求項24に記載の発明は、前記リアルタイムプロセッシングユニットは、輪郭補正処理部での輪郭補正処理において、前記空間フィルタから与えられた前記高周波特別色成分の振幅が所定のしきい値より小さいときのみ、所定の非線形演算関数により当該振幅をゼロ値とみなして出力することで画像中のノイズ成分の除去を行うコアリングファンクションブロックと、前記コアリングファンクションブロックにおける前記所定のしきい値に対する前記高周波特別色成分の振幅の比率を相対的に変化させる逆ガンマ効果ブロックとを有し、前記逆ガンマ効果ブロックは、前記空間フィルタから与えられた元データの特別色成分により前記比率を所定の比率変換関数により決定するようにされ、前記所定の比率変換関数は、前記元データの特別色成分が大きいほど、前記所定のしきい値に対する前記高周波特別色成分の振幅の比率を増加するように設定されたものである。

【0032】請求項25に記載の発明は、前記リアルタイムプロセッシングユニット中の前記空間フィルタ内の前記データ群は3成分のデータの集積として構成され、前記リアルタイムプロセッシングユニットは、前記主メモリに対して3成分出力または4成分出力が選択可能で

あり、いずれの場合においても、少なくとも1成分の出力に対し、前記空間フィルタ内の3成分及び周波数変換後の特別色成分のうちの1成分を選択的に出力可能であるものである。

【0033】請求項26に記載の発明は、前記主メモリは、前記撮像素子として、偶数ラインと奇数ラインが2つのフィールドとして時間的に異なったタイミングで読み出されるインターレースタイプのもを使用する場合に、前記偶数ラインと前記奇数ラインの一方に係る第一フィールドの画素データが格納され、前記リアルタイムプロセッシングユニットは、前記偶数ラインと前記奇数ラインのうちの他方に係る第二フィールドの画素データが前記撮像素子から順次入力される際に、当該画素データに対応する前記主メモリ内の前記第一フィールド内の画素データを、前記第二フィールドの画素データの入力に同期して読み出し参照し、画素補間処理、色空間変換処理及び輪郭補正処理を含む所定の画像処理を実行するものである。

【0034】請求項27に記載の発明は、前記リアルタイムプロセッシングユニットは、1ライン中において所定個数の画素データを格納するラインメモリを有し、前記主メモリは、前記撮像素子から与えられるフレーム単位の画像を格納するようにされ、前記リアルタイムプロセッシングユニットは、前記撮像素子の1ラインの撮像画素数が前記ラインメモリ中の画素データの個数より多い場合に、前記主メモリに格納されたフレーム単位の前記画像を水平方向に複数ブロックに分割して認識し、前記リアルタイムプロセッシングユニット内の前記ラインメモリには、前記主メモリ内で前記複数ブロックに分割された前記画像に係る画素データが順次入力されるものである。

【0035】

【発明の実施の形態】図1はこの発明の一の実施の形態に係るデジタルスチルカメラを示す図である。このデジタルスチルカメラは、図1の如く、CCD（撮像素子）21で撮像した画像をアナログ信号処理回路22で取り込んでA/D変換し、このデジタル化された画像についての画素補間、色変換、輪郭補正処理、フィルタリング及び間引き処理等の所定の一般画像処理をリアルタイムプロセッシングユニット（RPU）23でリアルタイム処理（実時間処理）にて高速に実行すると共に、JPEG圧縮処理等を含む例外的画像処理をCPU（中央制御部）24で実行した後、外部インターフェース（I/F）26を通じて所定の処理装置（パーソナルコンピュータ）等へ出力し、併せて、当該画像をファインダーとしてのLCD27に表示し、またDRAMまたはSDRAM等の一般的な主メモリ29等に格納するようになっている。この際、ファインダー（LCD27）への画像供給に関しては若干の解像度を落とすなどの所定の処理をリアルタイムプロセッシングユニット23で行

った後、次々と画像を出力することで、ファインダー27での画像表示を行うが、撮像部等が操作者によって押操作されたときには、主メモリ29内の詳細な画像をメモ리카ード30等の記録装置(Storage Media)に一気に格納するようになっている。

【0036】そして、アナログ信号処理回路22を通じて与えられた画像については、リアルタイム処理を行う場合は途中の画素配列データを主メモリ29に蓄えずにRPU23で直接的に処理を行う方(図34参照)、リアルタイム処理を行わない場合には、例えば図2の如く、CPU24で処理されて一旦主メモリ29のCCDデータバッファ(CCD Data Buffer)29aに蓄えた画素配列データを再度ダイレクトメモリアクセス(DMA)でリアルタイムプロセッシングユニット23に入力してやることで、高速に処理を行うようになっている。

【0037】即ち、この実施の形態のデジタルスチルカメラでは、一旦主メモリ29内に格納した画像の画素補間、色変換及び輪郭補正処理等の各種処理を、いつでも再びリアルタイムプロセッシングユニット23で再実行することが可能となっている。これにより、例えば画像中の所望の部分のみについて、リアルタイムプロセッシングユニット23で予定していない特殊な処理を、CPU24でソフトウェア処理・修正した後、その他の定型処理等をリアルタイムプロセッシングユニット23で高速に処理することができ、すべてをソフトウェアで行うときに比較して数倍から数十倍のスピードアップが可能となり、また、このときCPU24は処理を行う必要がないので消費電力を削減することができるものである。

【0038】ここで、リアルタイムプロセッシングユニット23、CPU24、外部インターフェース26等は、主メモリ29、メモ리카ード30及びJPEG処理部31とともにメインバス28にバス接続されており、これらのデータ相互の受け渡しに際してCPU24の負荷を低減すべく、このCPU24を介さずにダイレクトメモリアクセス(DMA)コントローラ32の制御に基づいて各要素間のメインバス28を通じたデータの授受を行っている。

【0039】尚、図1中の符号27aはLCD27を駆動するLCD駆動回路、符号27bはデジタルエンコーダ、符号27cはディスプレイモジュール、符号30aはオートフォーカス機能付きのレンズや絞り機構等を有する光学機構、符号30bはストロボ、符号30cはCCD21を駆動するCCD駆動回路、符号30dはリアルタイムプロセッシングユニット23及びCCD駆動回路30c等の動作タイミングを規律するためのタイミングジェネレータ(TG)、符号30eはPLL発信回路、符号30fはCPU24の補助演算装置であるコプロセッサをそれぞれ示している。

【0040】<CCD21の構成>CCD21は、電荷

蓄積部及び電荷転送部を内部に備える一般的なもので、例えば、偶数ラインと奇数ラインが2つのフィールドとして時間的に全く異なるタイミングでアナログ信号処理回路22に読み出されるインターレース(飛び越し走査)タイプのもので、各ライン順に順次読み出しが行われるプログレッシブ(順次走査)タイプのものでいずれかが選択的に使用される。勿論、電荷転送部を持たないCMOSセンサタイプのものも適用して差し支えない。

【0041】<リアルタイムプロセッシングユニット23の構成及び動作>リアルタイムプロセッシングユニット23は、図3の如く、アナログ信号処理回路22を通じて得られた各画素を各ピクセル単位で処理する単一画素処理部(Single Pixel Processing Block)41と、所定の画素補間を行いながらガンマ処理を行う画素補間・ガンマ処理部(Interpolation & Gamma Block)42と、色空間変換・色抑圧処理部(Color Space Conversion & False Color Suppression Block)43と、空間フィルタ・コアリング処理部(Spatial Filter & Coring Block)44と、これらの画像処理が行われた画像データをメインバス28に出力する出力部(Resizing Block)45とを備えている。

【0042】そして、特に、単一画素処理部41及び画素補間・ガンマ処理部42については、一旦主メモリ29内に格納した画像を、ダイレクトメモリアクセス(DMA)コントローラ32での制御によりいつでも取り込めるようになっている。このように、リアルタイムプロセッシングユニット23の初段の単一画素処理部41だけでなく、中途段の画素補間・ガンマ処理部42にも入力できるようになっているので、CPU24で画像の例外的画像処理を行った後、単一画素処理部41を通過させずに、リアルタイムプロセッシングユニット23の中途(画素補間・ガンマ処理部42)からの処理を実行できる。即ち、例外的画像処理を行う部分のみをソフトウェアで行い、その他のすべての処理を高速なリアルタイムプロセッシングユニット23で処理することにより、処理スピードの低下を最小限に抑えることができる。

【0043】また、実際のデジタルスチルカメラにおいては、CCD21によって取り込んだ画素データに対して、例えば「G(グリーン)」成分だけをガンマ補正するなどの特殊な例外的画像処理を行うことがある。この場合、かかる特殊な処理は、予めリアルタイムプロセッシングユニット23にハードウェアとして容易された機能を仕様できないことが多く、よって、一旦、主メモリ29内に格納した画像に対して種々の一般画像処理をリアルタイムプロセッシングユニット23で行う(ポスト処理: Post Processing)ことが行われる。そして、この実施の形態のデジタルスチルカメラでは、かかるポスト処理時において、リアルタイムプロセッシングユニット23の処理クロックをリアルタイム処理時より高い周波数に設定し、可及的にポスト処理を高速に行うよ

うにしている。尚、一般に、従来のCCD21の画素の読み出しクロックとリアルタイムプロセッシングユニット23でのリアルタイム処理の処理クロックは常に同期するようになっている。このため、CCD21の画像データについてCPU24で例外的処理し、一度主メモリ29に格納した後に、再びリアルタイムプロセッシングユニット23でポスト処理することとすると、処理時間が全体としてかなり長くなってしまふことが予想される。そこで、この実施の形態では、リアルタイムプロセッシングユニット23の処理クロックをCCD21の画素の読み出しクロックから非同期に独立して単独で設定できるようにし、ポスト処理時のリアルタイムプロセッシングユニット23の処理スピードをCCD21からのデータ転送速度に比べて大幅に向上させている。これにより、CCD21とリアルタイムプロセッシングユニット23の処理クロックを同期させる場合に比べて、ポスト処理のスピードを2~4倍上げることができるものである。

【0044】このように、リアルタイムプロセッシングユニット23の処理クロックをCCD21からのデータ転送速度に比べて非同期に高速化しているため、リアルタイムプロセッシングユニット23の1パスが非常に短時間に終了することになる。このことを考慮すると、ポスト処理において、リアルタイムプロセッシングユニット23に対してデータを複数回通しても、全体としての処理スピードはCCD21の読み出し速度に対してそれほど遅延することがない。したがって、全体的な処理速度を低下させずに、リアルタイムプロセッシングユニット23にデータを複数回通すことにより、特定の機能をデータに重複して作用させ、個々の機能を拡張させることができ、例えば、後述の空間フィルタ91の範囲を等価的に増加させる等の機能の拡張を行うことが容易に可能となる。

【0045】尚、リアルタイムプロセッシングユニット23の処理クロックをCCD21の画素の読み出しクロックから非同期にできるため、上記とは逆に、リアルタイムプロセッシングユニット23の処理スピードをCCD21からの転送速度に比べて低減させることも可能である。この場合は、リアルタイムプロセッシングユニット23における消費電力を低減できるものとなる。

【0046】このような非同期の場合の処理クロックの変更は、図1に示したタイミングジェネレータ(TG)30dにより行うものであり、望ましくは、かかるタイミングジェネレータ(TG)30dによるリアルタイムプロセッシングユニット23の処理クロックの設定に関して、予め数種類のクロック周波数の設定を容易しておき、ドライバソフトウェアプログラムやジャンパビンの接続切り換え、あるいはディップスイッチの切り換え等によりクロック周波数の設定を容易に切り替えられるようにしておく。これにより、ポスト処理に関して消費電

力特性及び処理速度特性を自由に且つ容易に設計できるようにする。

【0047】<単一画素処理部41の構成及び動作>単一画素処理部41は、アナログ信号処理回路22から与えられた各画素毎に乗算、加算またはその両方の演算を行うことにより、複数フレームの画像の間での「経時的平均化処理」及び1フレーム内での「シェーディング補正処理」のいずれかを選択的に行うものであって、具体的には、図4の如く、メインバス28にそれぞれ接続されてデータ入出力のタイミングを調整するための3個のFIFO(バッファ)51a~51cと、このうちの第一FIFO51aを通じてメインバス28からの画素データが入力される1個のシフタ(Shifter)52と、アナログ信号処理回路22からの12ビット長の入力データ(Input Data)と上記のシフタ52からの12ビット長のデータとを選択する第一セクタ(Selector)53と、第二FIFO51bを通じて得られるメインバス28からの画素データに対して所定の第一係数(Ratio A)を乗算する第一乗算器54と、第二FIFO51bを通じて得られるメインバス28からの画素データと所定の第二係数(Ratio B)とを選択する第二セクタ55と、この第二セクタ55からの出力値と第一セクタ53からの出力値とを乗算する第二乗算器56と、第一乗算器54からの出力値と第二乗算器56からの出力値とを加算する加算器57と、加算器57からの出力値を受けて第三FIFO51cを通じてメインバス28に信号出力を行うために、加算後のデータを一定値に適合させるリミッタ(Limiter & Shifter)58とを備えている。

【0048】ここで、従来では、単一画素処理部41において複数フレームの画像の加算処理を行うことが行われていなかったが、この単一画素処理部41の「経時的平均化処理」では、CCD21の蓄積時間が複数フレームに渡る場合、各フレーム毎にCCD21からデータを読み出し、主メモリ29上の対応する画素のデータと加算することによって、複数フレームのCCD21上での蓄積と等価な信号を作成するようになっている。この場合、「累積加算」と「循環加算」のいずれか一方の加算方式を選択できるようになっている。

【0049】ここで、まず「累積加算」について説明する。

【0050】従来では、対象物が暗く、CCD21の蓄積時間が複数フレーム(フィールド)に渡る場合は、CCD21の電荷蓄積部から電荷転送部への読み出しをその期間停止して電荷レベルを増大させ、十分な信号レベルにした後、読み出しパルスを印加し撮影を行っていた。しかし、この場合、CCD21内の電荷蓄積部におけるノイズ電荷の湧き出しにより、映像S/N特性が低下する。これを避けるため、電荷の読み出しは通常周期で行ない、読み出された信号をアナログの電気回路や、

デジタル回路でゲインを上げて処理することが従来において行われることがあったが、この場合も、読み出し以降のランダムノイズが所定のアンプによって増大されるため、やはりS/N特性は低下する。

【0051】これに対し、この実施の形態に係るデジタルステルカメラでは、上記の場合に、通常読み出しの周期を維持してアナログゲインを増大させ、一度主メモリ29に格納したデータと、新たに読み出したフレーム（フィールド）のデータを加算器57で加算して、再度主メモリ29に格納することを繰り返すことにより、複数フレーム間に渡る累積加算を行なう。そして、最終的に得られた累積加算データを加算回数で除算することにより、電荷蓄積部のノイズを増大させることなく、S/Nの良い、十分な信号レベルのデータを得ることができる。通常、CCD21内の電荷蓄積部及び電荷転送部やアナログ信号処理回路22のノイズはランダムノイズが支配的であるため、累積加算する回数をN回とすると、ノイズのレベルはNの1/2乗に比例して小さくなる。このことにより、ランダムノイズを大幅に削減できるようになっている。

【0052】この場合、第一セクタ53はアナログ信号処理回路22からの入力データを選択し、第二セクタ55は「1、0」という値で与えられた第二係数（Ratio B）を選択し、また第一係数（Ratio A）は「1、0」で与えられることで、加算器57においては、アナログ信号処理回路22からの入力データを、メインバス28及び第二FIFO51bを通じて主メモリ29から与えられる過去の累積データにさらに累積加算することができるようになる。

【0053】このように、累積加算としての各係数（Ratio A、Ratio B）の設定及び各セクタ53、55の選択を行った場合の単一画素処理部41の処理構造を示したものが図5である。図5のように、CCD21からアナログ信号処理回路22を通じて与えられた入力データ（Input Data）を、加算器57によって、主メモリ29内のCCDデータバッファ（CCD Data Buffer）29aに蓄えられたデータに累積的に加算し、再びCCDデータバッファ29aに更新記憶するようになっている。かかる累積加算をN回繰り返した後、リアルタイムプロセッシングユニット（RPU）23内の他のブロック42～45に与え、主メモリ29内の処理データバッファ（Processed Data Buffer）29bにフレーム単位で格納した後、必要に応じてCPU24により所定のソフトウェア処理を行い、これを主メモリ29内の一時記憶データバッファ（Temporally Data Buffer）29cに格納すると共に、メインバス28を通じて外部I/F26等に出力するようになっている。

【0054】ここで、メインバス28を通じて主メモリ29から得られる累積データと、アナログ信号処理回路22から得られる入力データとは、画素配列データ中で

の同じ位置の各画素データについて個別に累積演算され、その後同じ位置の画素データとして主メモリ29に順次格納される。

【0055】かかる構成を採用することにより、複数フレーム分の画像をメモリに格納して累積加算する場合に比べて、主メモリ29の容量が1フレーム分で足りることになるため、メモリ容量が少なく済み、低コスト化を図ると共に省電力化を図り得るという利点がある。また、CCD21での画像の読み出しに同期してリアルタイムプロセッシングユニット23で累積加算処理を行うことができるので、例えば、複数フレーム分の画像をメモリに格納した後に何らかのソフトウェアプログラムに従ってCPUの動作により累積加算する場合に比べ、加算処理の速度を大幅に向上できる。

【0056】尚、この「累積加算」の場合は、画像データを累積加算する際の加算回数が増大するに従ってビット長が伸びることになる。例えば、8ビットの画像データを256回加算するのであれば16ビットのデータ長を確保しなければならない。このことは、逆に言えば、16ビットのデータ長を確保している場合は8ビットの画像データであれば加算限度として256回しか加算できず、これを超過すると信号の一部がオーバーフローする可能性があることになる。また、例えば、入力データとして12ビットまで対応できるようにリアルタイムプロセッシングユニット23を設計する場合は、16ビットのデータ長を確保している場合は、12ビットの入力データに対して最大16（ $=2^{16-12}$ ）回までしか累積加算できないことになる。このように加算処理回数が少ない場合、被写体の明るさや、ノイズの量によっては、十分な平均化処理ができない可能性がある。したがって、使用環境等の要因によりS/N比の向上が強く求められる場合には、加算回数に制限をなくすことが望ましい場合があり、このような場合を考慮した方式が「循環加算」である。

【0057】この「循環加算」は、CCD21の蓄積時間が複数フレームに渡る場合に、各フレーム毎にCCD21からデータを読み出し、図4の如く、メインバス28及び第二FIFO51bを通じて主メモリ29から与えられる画素データに対し、第一乗算器54によって第一係数（Ratio A）として α を乗算するとともに、CCD21からの入力データに対し、第二係数（Ratio B）として（1- α ）を第二乗算器56によって乗算し、これらを加算することによって複数フレームのCCD上での蓄積と等価な信号を作成するものである。この場合、第一係数（Ratio A= α ）と第二係数（Ratio B=1- α ）の合計は「1」になるように設定されており、 α の値は「0」より大で且つ「1」未満の任意の値として実験等の経験により設定されるものである。また、第一セクタ53及び第二セクタ55でのそれぞれの選択は「累積加算」の場合と同様である。この「循環加算」方

式によると、加算された最新の入力データやこれに近い比較的新しい過去の入力データの方が、古い入力データよりも寄与率が高いことになり、データの時間的均衡については若干扱いにくい点もあるが、ランダムノイズを低減するための加算処理において、加算回数に応じてデータ長をデフレートすることで、メモリ上のデータ量を増やさずに、加算回数を大きくすることができるという利点があるものである。したがって、被写体の明るさやノイズの量によって十分な平均化処理を行いたい場合に、蓄積部のデータ長を増加させずに長時間（無限回数）のフレーム加算が可能となる。

【0058】このように循環加算としての各係数（Ratio A, Ratio B）の設定及び各セクタ53、55の選択を行った場合の単一画素処理部41の処理構造を示したものが図6である。図6のように、CCD21からアナログ信号処理回路22を通じて与えられた入力データ（Input Data）に対して、第二乗算器56により第二係数（Ratio B = 1 - α）を乗算し、また主メモリ29内のCCDデータバッファ（CCD Data Buffer）29aに蓄えられたデータに対して、第一乗算器54により第一係数（Ratio A = α）を乗算し、これらを加算器57によって加算し、再びCCDデータバッファ29aに更新記憶するようになっている。かかる循環加算をN回繰り返した後、リアルタイムプロセッシングユニット（RPU）23内の他のブロック42～45に与え、主メモリ29内の処理データバッファ（Processed Data Buffer）29bにフレーム単位で格納した後、必要に応じてCPU24により所定のソフトウェア処理を行い、これを主メモリ29内の一時記憶データバッファ（Temporal Data Buffer）29cに格納すると共に、メインバス28を通じて外部I/F26等に出力するようになっている。

【0059】この図5及び図6のように、図4に示した同一の回路を用いて「累積加算」と「循環加算」を任意に選択することができるため、設計の自由度を確保でき、この単一画素処理部41の汎用性が向上するという利点がある。

【0060】さらに、上記の図4に示した同一の回路を用いて、上記のノイズ緩和のための加算処理以外に、全く異なった機能である「シェーディング補正処理」をも選択して実行できるようになっている。

【0061】一般に、CCD21で対象物や風景等を撮影する場合、レンズの光学的作用等に起因して、中心位置の明るさに比べてその周囲が暗くなるというシェーディングが発生することがある。図7は画像にシェーディングが発生した状態を示す図であり、横軸は画像ラインの位置、縦軸は輝度レベルを示している。図7では、画像ライン中の中心部分に比べてその周囲部分の輝度が相対的に低くなっている。このような現象は、レンズとして広角レンズ等を使用する場合に顕著に現れる。かかる

シェーディングを緩和するために、各画素の輝度値等のゲイン調整を行うのが「シェーディング補正処理」である。

【0062】尚、例えばCPU24によりソフトウェア処理を行ってシェーディング補正処理を行う場合を考えると、1画素毎にシェーディング補正する場合には、従来は、レンズのシェーディング補正等を行なうために、RPU内部に乗算係数（シェーディング補正パラメータ）を格納する1ライン分のメモリを用意しておき、そのデータと、CCD21からの入力データを掛け合わせ、補正を行っていた。しかしながら、この方法では、水平方向の補正しかできないため、垂直方向にも補正したい場合には、複数ラインの乗算係数（シェーディング補正パラメータ）を持てるようにメモリを追加するか、ソフトウェアで定期的にデータを更新してやる必要があった。1ライン中の画素毎に異なった乗算係数（シェーディング補正パラメータ）を乗算するので、大量の係数を持たなければならず、内部のメモリの容量が巨大になり、かつソフトウェアでのデータの更新也非常に頻繁に必要なため、水平画素の補正単位を複数画素単位とし、垂直のラインも複数ライン単位とせざるを得なかったこともあり、これをソフトウェア処理する場合は非常に時間がかかり好ましくない。

【0063】このため、CPU24において、図7中の縦線のように1フレームの画像をいくつかの格子状のブロックに分割し、これらのブロック相互間で、シェーディング補正を行う方法も考えられる。しかしながら、ブロック単位に区切ってシェーディング補正処理を行うと、図8のように、ブロックの区切り部分（図8中の縦線）で輝度値に段差ができてしまい、画像として見た場合に縞状の不自然な画像となってしまう。

【0064】これらの問題を考慮し、この実施の形態のリアルタイムプロセッシングユニット23では、単一画素処理部41において、個々の画素毎にシェーディング補正処理を高速に実行するようになっている。

【0065】具体的には、画素単位のシェーディング補正パラメータを主メモリ29内の補正データ格納領域29d上に格納しておき、CCD21での画像データのキャプチャー時にダイレクトメモリアクセス（DMA）で補正データをリアルタイムプロセッシングユニット23に入力することにより画素単位の補正を行なう。これにより、ソフトウェア処理に係るCPU24に負担をかけずに、画素単位のシェーディング補正処理を高速に実現できる。特にCCD21に代えてCMOSセンサを使用するような市場の要請があった場合、このCMOSセンサはCCDセンサと異なり、画素毎に読み出し回路が独立しており、画素単位のエラーが発生しやすいため、この発明は有効となる。また、リアルタイムプロセッシングユニット23内に特別のレジスタを設置する必要がないため、回路構成を容易にすることでコストを低く抑え

ることができると共に、消費電力の低減できる。

【0066】この「シェーディング補正処理」では、図4及び図9の如く、第二セクタ55では、メインバス28及び第二FIFO51bを通じて主メモリ29内の補正データ格納領域29dから与えられる画素毎の乗算係数（シェーディング補正パラメータ）を選択しており、ここで選択された乗算係数（シェーディング補正パラメータ）を、第二乗算器56によってCCD21からの画素データに対して各画素毎に乗算し、その結果の画像データをCCDデータバッファ（CCD Data Buffer）29aに格納する。尚、ここで、第一乗算器54で乗算される第一係数（Ratio A）は「0」であり、よってその乗算値が「0」となるため、加算器57では第二乗算器56での結果に値「0」を加算することになり、故に加算器57の出力は第二乗算器56からの出力値がそのまま維持される。

【0067】かかる回路は、上述の図4に示した回路と同一の回路を使用しているだけなので、かかる同一の回路で「累積加算」と「循環加算」と「シェーディング補正処理」との3つの機能を選択して使用できる。尚、かかる複数の機能は、リアルタイムプロセッシングユニット23の単一画素処理部41の駆動制御に使用されるドライバプログラム（BIOS）において、各セクタ53、55の選択及び各係数（Ratio A、Ratio B）の設定を変更するだけで容易に選択できる。したがって、「累積加算」と「循環加算」と「シェーディング補正処理」の3つの機能のうち、予めいづれかの機能に限定するようドライバプログラムを設定してもよいし、あるいは、コマンド入力または回路基板上のジャンパピンまたはディップスイッチ等の設定により切り換えできるように設定してもよい。

【0068】＜画素補間・ガンマ処理部42の構成及び動作＞画素補間・ガンマ処理部42は、CCD21より画像を読み込んだ場合の画素補間を行うとともに、画像のガンマ補正を行うブロックである。

【0069】まず、画素補間・ガンマ処理部42の画素補間機能について説明する。

【0070】一般に、CCD21においてカラー画像の撮像を行うに当たって、1画素毎に異なる色（RGB-BayerまたはYMC G系等の補色タイプ等）のフィルタを使用することが多い。

【0071】RGB-Bayerは、画素毎に3色系のフィルタをかけるもので、一般に「R（赤色成分）」、「G（緑色成分）」、「B（青色成分）」の3色により画素配列を行っており、例えば図10の如く、奇数ライン及び偶数ラインの一方を「R、G、R、G、…」とし、他方を「G、B、G、B、…」としたものである。この場合、図10中の太線枠で示したように、 $2 \times 2 = 4$ ピクセルでもって1組の色を認識するようになっているが、この太線枠内においては、右上位置と左下位置の

両方に「G」が配置される。

【0072】また、補色タイプ（YMC G系またはYMC K系）は、画素毎に異なる色成分の4色系のフィルタをかけるもので、図11の如く、奇数ライン及び偶数ラインの一方を「C（シアン色成分）」、M（マゼンダ色成分）、C、M、…」とし、他方を「Y（イエロー色成分）」、G（緑色成分）、Y、G、…」（YMC G系の場合）」としたものである。これも一画素毎に異なる色成分のフィルタをかけたもので、図11中の太線枠で示した通り、 $2 \times 2 = 4$ ピクセルでもって1組の色を認識するようになっている。

【0073】これらのRGB-Bayer及び補色タイプ（YMC G系等）の画素配列を記号「A」、「B」、「C」、「D」で一般化したものが図12である。JPEG系のデジタルスチルカメラでは、これらの画素配列に基づいて最終的にJPEG系色空間であるY（輝度）、 $C_r (= \alpha_1 \{R (\text{赤色成分}) - Y (\text{輝度})\})$ 、 $C_b (= \alpha_2 \{B (\text{青色成分}) - Y (\text{輝度})\})$ に1画素毎に変換する必要があるが、ここでは、例えば図12のData X1において、「D」の成分しかなく、この画素について他の「A」、「B」、「C」の成分の補間を行うためには、周囲のこれらの成分を参照することになる。

【0074】具体的には、例えば補色タイプ（YMC G系等）の場合、図13の如く、Data X1において「A」の成分を参照する場合は、斜め四方の「A」の成分の平均化処理を行ってこれをData X1の成分に加味する。また、Data X2（「C」の成分）において「A」の成分を参照する場合は、上下に隣接する「A」の成分の平均化処理を行ってこれをData X2の成分に加味する。さらに、Data X3（「B」の成分）において「A」の成分を参照する場合は、左右に隣接する「A」の成分の平均化処理を行ってこれをData X3の成分に加味する。他の成分「B」、「C」、「D」の補間についても同様である。ここで、画素配列の信号は、各ライン別に入力されるにも拘わらず、例えば図13中のData X1の画素補間を行うためには当該Data X1のラインと異なる前後ラインを参照しなければならないため、この画素補間・ガンマ処理部42では、画素補間を行う画素に対して前後の2ラインを格納するためのラインバッファ61a、61bを設置し、このラインバッファ61a、61bと 3×3 ピクセルレジスタ62の間で画素の受け渡しをしながら、この 3×3 ピクセルレジスタ62の各画素の値を色選択ブロック63でセレクトしながら、この色選択ブロック63内において画素補間を行う。即ち、補色タイプ（YMC G系等）のような 2×2 の4色構成のCCD21に対しては、図13に示した方法のように、すべて同じ演算処理を行うことで画素補間を行う。尚、ラインバッファ61a、61b及び 3×3 ピクセルレジスタ62は、 3×3 ピクセル

レジスタ 62 内の中央に位置する注目画素に対して、その周囲の画素を参照するための画素参照ブロックを構成するものである。

【0075】これに対し、3 色系の RGB-Bayer では、図 10 中の太線枠で示したように、「R」、「G」、「B」の 3 色に加えて 4 色目の色成分として再び「G」を使用している。このように、RGB-Bayer の CCD 21 に対しては、色選択ブロックの一部（4 色目）を置き換えることによって、同一の回路により 3 色系と 4 色系の両方をリアルタイム処理できるようになっている。かかる 3 色系の RGB-Bayer について色補間処理する場合、4 色系の補色タイプ（YMC G 系等）の処理とは異なった処理が必要とされる。即ち、4 色系の補色タイプ（YMC G 系等）の色補間処理では、すべての画素について図 13 に示したような処理を行うことが可能であるが、3 色系の RGB-Bayer の「G」について色補間処理する場合、例えば図 10 において「R」においても「B」においても、これに「G」を補間する場合は、上下方向及び左右方向の四方に隣接して「G」が存在しているので、これらの四方の「G」に基づいて色補間を行えばよい（第一補間方法）。あるいは、上下方向及び左右方向の四方に隣接して存在する 4 画素の「G」のうち、最小値のものと最大値のものを除去した残りの 2 画素の「G」の平均値をとってもよい（第二補間方法）。実際には、これらの第一補間方法と第二補間方法を、色選択ブロック 63 の駆動のためのドライバソフトウェアプログラム等の設定により任意に選択できるようにしておく。これにより、設計変更の自由度が大幅に向上するものである。一方、「G」については、縦（上下）方向に隣接した「R」を補間し、横（左右）方向に隣接した「B」を補間するだけで、斜め四方の他の「G」に基づく補間は必要なく、図 13 に示したような処理とは大きく異なった処理となる。

【0076】あるいは、この RGB-Bayer において、例えば図 10 中の太線枠内の 2 個の「G」のうちの一方については、かかる部分の画素の全体的な輝度成分や強調成分として擬似的に活用することも可能であり、各画素の色成分として抽出するのではなく画素の輝度成分や強調成分等の所定の特徴を示す「特徴データ（KEY 信号）」として活用できる。

【0077】例えば、「R」、「G」、「B」として各 8 bit に KEY 信号 8 bit を追加した 32 bit 信号を、4 色信号として図 14 中の 3×3 ピクセルレジスタ 62 上に配置し、リアルタイムプロセッシングユニット 23 の各ブロック 43、44、45 における処理過程で、各画素毎の「特徴データ（後述）」として使用する。

【0078】さらに、4 色系の補色タイプ（YMC G 系等）においても、例えば「G」については、かかる部分

の画素の全体的な輝度成分や強調成分として擬似的に活用することも可能であり、各画素の色成分として抽出するのではなく画素の輝度成分や強調成分等の所定の特徴を示す「特徴データ（後述）」として活用できる。

【0079】尚、一般的には、3 色系処理と 4 色系処理を扱える処理回路において、3 色系の処理を行う場合には、3 色データを所定のメモリ上で詰めて格納するか、4 色目のデータを無視して処理する方法が考えられる。しかしながら、特に後者の場合、メモリや処理回路を有効に活用できないという問題が生じる。

【0080】これに対して、この実施の形態のデジタルスチルカメラでは、主メモリ 29 内の 4 色処理のメモリ配置の中に 3 色データを格納した場合に、4 色目に相当する領域に各画素を格納し、後述の色空間変換・色抑圧処理部 43 や CPU 24 でのソフトウェア処理において画素毎に所定の特徴づけを行うための後述の「特徴データ（KEY 信号：例えば「G」）」として活用するようにする。かかる 4 色目の画素補間の処理を、リアルタイムプロセッシングユニット 23 での処理の中で使用することによって、各ブロック 43、44、45 における各種の非線型処理や画素単位処理を非常に高速に行うことができるものである。

【0081】かかる色補間処理では、図 14 の如く、単一画素処理部 41 のリミッタ 58 から出力されてきた各画素データに対して、上述のようにラインバッファ 61 a、61 b を使用しながら、3×3 ピクセルレジスタ 62 に各色成分を配置し、これらの各色成分の信号を、水平同期信号に基づく H_Count 信号及び垂直同期信号に基づく V_Count 信号の入力に従って色選択ブロック 63 でセレクトしながら平均化処理を行って画素補間を行う。これにより、リアルタイムプロセッシングユニット 23 の後段の各ブロック 43、44、45 における処理過程で、各画素毎の「特徴データ（後述）」として使用することが可能となる。

【0082】このように、画素補間・ガンマ処理部 42 においては、RGB-Bayer のような 3 色系の処理について、色選択ブロックの一部（4 色目）を置き換えることによって処理を行えるので、同一の回路により 3 色系と 4 色系の両方をリアルタイム処理できるものである。したがって、従来のように、RGB 用の画素補間回路と補色（4 色系）用の画素補間回路を独立のものとして別々に設置していた場合に比べ、回路規模を非常に小さくでき、また消費電力を抑制することが可能となる。さらに、かかる処理を CPU 24 によりソフトウェアプログラムに基づいて処理する場合を考えると、一旦フレーム単位で画像をメモリに格納した後、その画像中の各画素につき縦横の平均化処理を行って色補間することになるので、これをすべての画素について処理することになると、処理の工程が膨大となり多大な時間を要するのに対して、この実施の形態では、リアルタイムプロセッ

シングユニット23内でリアルタイムに処理を行っている分、処理速度が大幅に向上する。

【0083】尚、画素補間・ガンマ処理部42の色選択ブロック63には、「G」信号の高域成分（Gh信号）を抜き出して、これに基づいてAF（オートフォーカス）用の高周波成分の評価（AF評価）を行うAF評価機能が有せしめられている。図15は、RGB-BayerでのGh信号に基づいてAF評価用の高周波成分の評価値（高周波成分評価値）を作成する機能において、ある瞬間の画素配列中の一部のタイミングのデータ（「G」信号）を抜き出してAF評価を行う様子を示したブロック図である。AF評価は、その瞬間にエッジが明確に出てきているかどうかを検出することで行うことが可能であり、一般に、FFT（高速フーリエ変換）等により高周波成分のみのレベルを抽出し、この抽出値に基づいて判定すれば、最良のAF評価値を得ることができる。しかしながら、リアルタイムプロセッシングユニット23において入力データ（Input Data）が次々と入力される状況でFFTの処理を行うことは極めて困難であり、また、フレーム単位で画像を主メモリ29に格納し、CPU24によりソフトウェア処理でFFTの処理を行う場合は、処理が複雑になると共に多大な時間を要するため効率的でない。そこで、近隣の同一色成分の画素をセクタ64で選択して抽出し、抽出された同一色成分の画素の差分値を演算回路65で絶対値化して求め、かかる一連の処理で連続して得られる絶対値を、バッファ66及び加算器67からなる帰還回路としての累積加算器68で積分し、その積分値（累積値）の変化値（微分値）の極大点を求めることでAF評価を行っている。即ち、セクタ64、演算回路65及び累積加算器68で、オートフォーカスのための高周波成分評価値を出力するオートフォーカス評価部を構成するものである。

【0084】そして、この色選択ブロック63内のオートフォーカス評価部では、入力データに対してAF評価を行う際に、RGB-Bayer中の同一色の色成分として最も多い「G」成分を使用することとし、特にこの色選択ブロック63では、「G」成分の値の差分抽出対象として直近のものであるか、あるいはこれより離隔した「G」成分の値を差分抽出対象として選択するかについて、セクタ64によって任意に選択的に変更できるようになっている。即ち、ある場合には、演算回路65の一方のB入力端子65bに入力される「G」信号（注目画素）に最も近い「G」信号として、セクタ64のD入力端子に入力される「G」信号を選択し、またある場合には、演算回路65の一方のB入力端子65bに入力される注目画素の「G」信号に最も遠い「G」信号として、セクタ64のA入力端子に入力される「G」信号を選択し、さらにある場合には、セクタ64のB入力端子またはC入力端子に入力される「G」信号を選択

して注目画素の「G」信号との差分値を演算することが可能となっている。このように、セクタ64によって注目画素からの離間距離を変更して差分値を求めることができるので、AF評価における注目周波数を容易に変更できる。これは、人間が画像を肉視した場合にピントが合ったと感じる周波数は、必ずしも隣接画素レベルの最大周波数とは限らず、2～4ピクセル程度離間した画素でピントを合わせても十分にフォーカスが合ったように感じる。これに対して、例えばCCD21の撮像画素に異変が見られた場合や、ここからの信号出力の経路でノイズがコンデンサに混入する場合のように、画素中に何らかのノイズが発生した場合には、殆どの場合、隣接画素毎に大きな変化が生じるため、隣接画素のみで差分を求める場合には、ノイズの影響でAF評価が過大評価されるおそれがあることを考慮したものである。即ち、セクタ64でAF評価における注目周波数を変更することで、ノイズの影響を低減しながら、肉視に耐えるフォーカス合わせが可能となるものである。尚、このセクタ64の選択は、実際のCCD21の画素ピッチ等の特性に応じて変化させればよい。同じ被写体や風景等を撮像する場合でも、CCD21の画素ピッチ等の特性によって隣接する注目画素のピッチも変化することになるため、実際のCCD21の画素ピッチ等の特性に応じてセクタ64で注目周波数を変化させることで、AF評価の精度を一定レベルに維持でき、故に同一のリアルタイムプロセッシングユニット23として様々な特性のCCD21に対応することが可能となる。

【0085】また、画素補間・ガンマ処理部42の色選択ブロック63には、CCD21の欠陥画素を補正する欠陥画素補正機能が有せしめられている。

【0086】一般に、CCD21の欠陥画素補正では、画像中にピクセル単位で欠陥画素が含まれて入力された場合に、これをそのまま使用すると画像が不自然になってしまうため、例えば、この欠陥画素と同じ色成分として1つ前に入力された色データ（例えば図15の例では同じ色成分の画素が1つおきに入力されるため、2画素前の色データが対象となる）で画素補充を行う方法がある。通常のCCD21はフレーム中に100万画素程度の画素を有するため、まれに欠陥画素が発生しても、上記の比較的単純な方法で画素の補充を行っても十分に肉視に耐える画像を得ることができる。

【0087】この場合、従来のCCDの欠陥画素補正においては、欠陥画素の垂直方向（V）と水平方向（H）のアドレス情報をRPU（リアルタイムプロセッシングユニット）の内部の複数（予想される欠陥画素の総数分）のレジスタに格納しておき、アドレス値がCCDのTG（タイミングジェネレータ）の垂直（V）カウンタ値及び水平（H）カウンタ値と一致したタイミングで欠陥信号を発生し、そのタイミングの画素データを周囲の画素（一般的には直前の同色の画素）で置き換える等の

動作を行なって補正することが行われていた。

【0088】しかし、この従来の方法では、予想される欠陥画素の総数分だけのアドレスデータを格納するのに十分な数のレジスタをRPU内部に持つ必要がある。ところが、近年のCCDの画素数の増大に伴って、欠陥画素も増大する傾向にあるため、次第に内部のレジスタの個数が増大し、消費電力の増大等の問題を生じてきた。また、欠陥画素の総数は、通常は数個〜20個程度と予想されるものの、必ずしもこの個数内に収まるとは限らず、特に、欠陥であるか否かの評価におけるしきい値によって欠陥画素と判断される画素の個数も大きく変化するため、1つのCCDに対して数個〜20個程度の数の欠陥では十分とは言えなかった。しかしながら、例えば、1000個程度の欠陥画素が予想される場合に、上記の従来の方法ではRPU内に1000個程度のレジスタを設置しなければならないことになるが、これは回路規模の制限から現実的でなく、多くの場合は1つのCCDに対して数個〜20個程度の数の欠陥しか補正できないこととなっていた。

【0089】これに対し、この実施の形態に係るデジタルスチルカメラでは、リアルタイムプロセッシングユニット23内に欠陥画素アドレス格納用のレジスタを設置するのではなく、CCD21の欠陥画素の位置情報を時間位置順に主メモリ29上に格納しておき、この主メモリ29中の欠陥画素の位置情報を、図16の如く、シフトレジスタ71a、71bと比較器(CMP)72a、72bを組み合わせる欠陥画素タイミング発生回路73にダイレクトメモリアクセス(DMA)で入力してやることで、CCDの欠陥画素補正を行うようになっている。即ち、このシフトレジスタ71a、71bと比較器(CMP)72a、72bとで、欠陥画素補正部を構成するものである。

【0090】具体的には、CCDの欠陥画素アドレスを主メモリ29(図1参照)中の任意の格納領域に当該欠陥画素の発生時間の順序で格納しておき、ダイレクトメモリアクセス(DMA)により1word長のレジスタ(FIFO)74を通じて画素補間・ガンマ処理部42内の欠陥画素タイミング発生回路73内に平行に設置された各シフトレジスタ71a、71bに入力し、それぞれのシフトレジスタ71a、71bの最終段からそれぞれの比較器72a、72bにデータ入力して垂直(V)カウント値及び水平(H)カウント値に対して比較してやることにより、實際上、欠陥画素数の制限なしに補正を行なうことができる。

【0091】ここで、一方のシフトレジスタ71aとこれに接続された一方の比較器72aは、水平方向(H)の欠陥画素の出現タイミング(アドレス)を認識するものであり、他方のシフトレジスタ71bとこれに接続された他方の比較器72bは、垂直方向(V)の欠陥画素の出現タイミング(アドレス)を認識するものである。

【0092】そして、リアルタイムプロセッシングユニット23内でカウントされた垂直(V)カウント値及び水平(H)カウント値がそれぞれ比較器72a、72bに入力されており、この比較器72a、72bにおいて、シフトレジスタ71a、71bの最終段(71af、71bf)の出力アドレスと、前述の垂直(V)カウント値及び水平(H)カウント値とが一致したと判断した場合に、論理積回路75及びレジスタ(DMA Req. Trigger)76を通じて欠陥画素タイミング(CCD Detect Timing)信号を出力するようになっている。

【0093】これと同時に、最終段のシフトレジスタ71af(HCReg0)、71bf(VCReg0)には、その1つ前段のシフトレジスタ71af-1(HCReg1)、71bf-1(VCReg1)の値がロードされる。また最前段のシフトレジスタ71a1(HCRegN)、71b1(VCRegN)へはその前段の1word長のレジスタ(FIFO)74を通じて得られた主メモリ29内の欠陥画素アドレス(DMA Data)がロードされる。

【0094】ここで、欠陥画素アドレス(DMA Data)を主メモリ29から受け入れるためのレジスタ(FIFO)74を単一にのみ設ける場合、レジスタ(FIFO)74内の値を、新たに受け入れた欠陥画素アドレス(DMA Data)の値に書き換える課程で様々に変化する。その課程において、レジスタ74内の値が一瞬でも偶然に垂直(V)カウント値及び水平(H)カウント値と同じ値になったときには、比較器72a、72bは誤って肯定的な比較結果を出力してしまうおそれがある(ハザードの発生の問題)。

【0095】しかしながら、この実施の形態では、レジスタ74と比較器72a、72bとの間にシフトレジスタ71a、71bを介在させているので、かかるハザードの発生の問題を解消できる。具体的には、比較器72a、72bへの入力はシフトレジスタ71a、71bの最終段のシフトレジスタ71af、71bfからの信号が入力されるようになっており、レジスタ74が直接比較器72a、72bに接続される訳ではない。そして、各シフトレジスタ71a、71bのシフトは、比較器72a、72bでの比較結果が肯定的に得られた場合(一致信号が出力される場合)に限り、この比較器72a、72bからの出力信号に基づいたタイミングで実行されるようになっている。この場合、比較器72a、72bで比較されるデータは常に最終段のシフトレジスタ71af、71bfからのものに限られるので、レジスタ74のデータがいつ書き換えられても、比較器72a、72bから一致信号が出力されることはなく、故にハザードの発生の問題を解消できる。

【0096】尚、シフトレジスタ74からのロードが発生する際には、比較器72a、72bからの一致信号に応じて、レジスタ(DMA Req. Trigger)76がDMAコ

ントローラ32（図1参照）に対して主メモリ29内の欠陥画素アドレス（DMA Data）についてのデータ転送要求（DMA Request to DMA Controller）を発生する。これに応答したDMAによる実際のデータ転送は、次の欠陥画素のタイミングまでに終了していればよい。尚、図16とは異なる例として、最終段のシフトレジスタ71af, 71bfより前段のシフトレジスタ71af-1, 71bf-1の動作をDMAでのデータ転送の完了信号で制御すれば、DMAによる実際のデータ転送に関して、ある程度の時間的な余裕を稼ぐことができる。

【0097】また、DMAによるデータ転送を使用しない場合には、最終段のシフトレジスタ71af, 71bfからの出力データを、セクタ77a, 77bによって最前段の最前段のシフトレジスタ71a1, 71b1に切り換えて入力しておくことにより、シフトレジスタ71a, 71bの段数分の数の欠陥画素を補正することが可能である。

【0098】いずれの場合も、アドレスデータは、シフトレジスタ71a, 71bの最終段のシフトレジスタ71af, 71bfから遡って、主メモリ29のアドレスデータまで発生時間順に並んでいることが必要となる。

【0099】このような構成により、容量の大きい主メモリ29内に欠陥画素アドレスを格納することで、欠陥画素の総数が例えば1000個程度に多大な場合にも容易に欠陥画素補正処理を行うことができる。そして、内部のレジスタ74, 76は図16のように最低2つだけでよいので、予想される欠陥画素の総数分だけの数のレジスタをRPU内部に持つ場合に比べて、回路規模を大幅に削減できる。

【0100】尚、画素補間・ガンマ処理部42の色選択ブロック63は、「G」信号の高域成分（Gh）のみを抜き出して色空間変換・色抑圧処理部43に出力するようになっている。

【0101】次に、画素補間・ガンマ処理部42のガンマ補正機能について説明する。この画素補間・ガンマ処理部42では、図17及び図18の如く、入力データが12ビット信号となる1個のガンマ補正テーブル78（図17）を、10ビット×4（=2¹⁰-10）個のガンマ補正用ルックアップテーブル78a~78d（図18）として使用するようになっている。

【0102】即ち、アナログ信号処理回路22でA/D変換されたCCD21は、単一画素処理部41を経て、画素補間・ガンマ処理部42の画素補間処理を経た後に、このガンマ補正処理が行われるが、このガンマ補正処理に入力される入力データが12ビット長のときには、この12ビット長で入力された信号について、上述のガンマ補正テーブル78がメモリサイズとして4096バイトの8ビット出力のものとして機能する一方、入力データが10ビットのときは、入力データの各色毎に

独立な10ビット入力、8ビット出力の4個のガンマ補正用ルックアップテーブルとして機能するルックアップテーブル（LUT）として機能するようになっている。

【0103】前段の画素補間処理を行った後、4色系の画素データの場合は一度に4色の入力データが与えられることになるため、ガンマ補正テーブル78の入力ポートとして4つの入力ポートPort1~Port4が用意されており、これに対応してガンマ補正テーブル78の出力ポートも4つの出力ポートPort1~Port4が用意されている。

【0104】一般に、入力データが12ビット長の場合は、ルックアップテーブル78は12ビット長のものが必要とされる。ところで、12ビット長の入力データから8ビット長の出力信号へ変換するためのルックアップテーブル78は、各色毎の非線形性が除去できないという問題があるため、すべての色に対して1種類しか定義することができない。この場合に、4色系の画素データを扱う場合は、4種類の12ビット長のルックアップテーブルを内蔵することが望ましいのであるが、この場合は回路規模が4倍となり、消費電力等の点で問題となる。

【0105】一方、常に12ビット長の入力データが要求されるとは限らず、10ビット長の入力データが適用される場合もある。この場合に、上記の12ビット長の入力データの処理同様にデータを扱うとすれば、余剰ビットが発生し、非効率であった。

【0106】そこで、この実施の形態に係るデジタルステルカメラでは、12ビット長の入力データを扱う場合には、ルックアップテーブル78が単一の12ビット長ルックアップテーブルとして動作する一方、10ビット長の入力データを扱う場合には、4色それぞれに独立な4種類のルックアップテーブル78a~78dを使用することができるようになっている。

【0107】具体的には、メモリサイズとして4096バイトのルックアップテーブル78を、予め4個の1024バイトのルックアップテーブル78a~78dに分割して設計しておき、各ルックアップテーブル78a~78dの入力側において、上位2ビットの上位入力端子（Upper）と、下位10ビットの下位入力端子（Lower）とを形成するとともに、上位2ビットの上位入力端子（Upper）にはそれぞれセクタ79a~79dからの出力信号が入力されるように接続しておき、この各セクタ79a, 79bにおいて、各ルックアップテーブル78a~78dのポート番号（0x0~0x3）（A入力端子）と入力データの上位2ビットの値（B入力端子）とを選択できるようになっている。そして、12ビット長の入力データを扱う場合には、CPU24等による制御切替でセクタ79a~79dをB入力端子側（入力データの上位2ビットの値）に切り換える一方、10ビット長の入力データを扱う場合には、同様にして

セクタ79a~79dをA入力端子側（各ルックアップテーブル78a~78dのポート番号（0x0~0x3））に切り換えるようになっている。

【0108】これにより、12ビット長の入力データを扱う場合には、セクタ79a~79dのB入力端子側への切り換えにより入力データの上位2ビットの値が各ルックアップテーブル78a~78dの上位2ビットの上位入力端子（Upper）に入力され、また入力データの低位10ビットの値が各ルックアップテーブル78a~78dの低位10ビットの低位入力端子（Lower）にそのまま入力される。

【0109】一方、10ビット長の入力データを扱う場合には、セクタ79a~79dのA入力端子側への切り換えにより入力データの各ルックアップテーブル78a~78dのポート番号（0x0~0x3）が各ルックアップテーブル78a~78dの上位2ビットの上位入力端子（Upper）に入力され、また入力データの低位10ビットの値が各ルックアップテーブル78a~78dの低位10ビットの低位入力端子（Lower）にそのまま入力される。

【0110】これにより、10ビット長の入力データを扱う場合には、4色すべての色に対してそれぞれ10ビット長（1024ビット）のルックアップテーブル78a~78dを互いに独立に且つ任意に定義できる。

【0111】また、このガンマ補正処理における入力データは、図14の如く、主メモリ29内に格納されている画素データがFIFO73及びカラーサンプリングモジュール（Color Over Sampling Module）74を通じてセクタ79a~79dに入力されるようになっており、これにより、一旦主メモリ29内に格納した画像に対して、上記のリアルタイムによるガンマ補正処理と同様の処理をいつでも行えるようになっている（ポスト処理：Post Processing）。

【0112】尚、ここでのガンマ補正処理を、上述の画素補間処理より前段階で実行する場合は、入力ポートとして1つの入力ポート及び1つの出力ポートのみを容易するだけでよい。この場合は、かかる1つの入力ポート及び1つの出力ポートに対してセクタ（図示せず）を設置し、このセクタによりデータを4色に振り分けて、4種類のルックアップテーブル78a~78dに対して入出力するようによればよい。したがって、この場合でも、ルックアップテーブル78（78a~78d）自体の構造は、図17及び図18に示したものと同様となる。

【0113】また、ここでは、12ビット長と10ビット長の両方の入力データに対応できるルックアップテーブルについて説明したが、必ずしもこれに限定されるものではなく、一般に入力データがNビット長の場合は、このNビット長の処理を行うガンマ補正テーブル78として機能し、入力データが（N-2）ビット長のとき

は、 $4 (=2^{N-(N-2)})$ 個のガンマ補正用ルックアップテーブル78a~78dとして機能するようにすればよい。これによって、それぞれの入力データのビット長に合わせて、余剰ビットが生じることなく、同一のルックアップテーブル78（78a~78d）を有効に活用することができる。

【0114】<色空間変換・色抑圧処理部43の構成及び動作>この色空間変換・色抑圧処理部43は、3色系のRGB-Bayerまたは4色系の補色タイプ（YMC系等）の画素データを、例えば、YCrCb等の所定の色空間に変換する色空間変換機能と、さらに画像中の明部と暗部の色抑圧（クロマサブプレス：偽色防止）を行う色抑圧機能とを備えたものである。

【0115】色空間変換・色抑圧処理部43の色空間変換機能は、上述のように、3色系のRGB-Bayerまたは4色系の補色タイプ（YMC系等）の画素データを、例えば、YCrCb等の所定の色空間に変換する機能であるが、特に3色系の処理と4色系の処理の両方を扱えるようになっており、さらに3色系の処理を行う場合に、4色目の色データ領域の信号を各画素の「特徴データ（KEY信号）」として使用できるようにしたものである。

【0116】例えばRGB-Bayerの場合、「R」、「G」、「B」の各8ビット長の信号に「特徴データ」としての8ビット長の信号を追加した合計32（ $=8 \times 4$ ）ビット長の信号を、4色信号として主メモリ29内に配置し、リアルタイムプロセッシングユニット23の処理過程で、「特徴データ」を各画素毎の例えば「強調成分」等の「特徴データ」として使用する。

【0117】一般に、3色系処理と4色系処理の両方を扱える処理回路においては、3色系の処理を行う場合に、3色の画素データを主メモリ内に詰めて格納するか、4色目のデータを無視して処理する方法が考えられるが、特に後者の場合は、主メモリや処理回路を有効に活用できないという問題がある旨は前述の通りである。そこで、この実施の形態に係るデジタルスチルカメラでは、4色処理の主メモリ29の中に3色系の画素データを格納する場合に、4色目に相当する領域に各画素を画素毎に特徴づけるための「特徴データ」を併せて格納し、後に再びリアルタイムプロセッシングユニット23での何らかの処理に使用したり、あるいは一旦主メモリ29内に格納した後にCPU24でのソフトウェア処理で活用したりすることによって、各種の非線形処理や画素単位処理を非常に高速に行うことが可能となるものである。

【0118】具体的には、この色空間変換・色抑圧処理部43は、図19の如く、画素補間・ガンマ処理部42のガンマ補正テーブル78から出力されてきた画素データの4色目の成分と、画素補間・ガンマ処理部42の色選択ブロック63から出力されてきた「G」信号の高域

成分（Gh信号）とを選択するセクタ81と、このセクタ81で選択された側のデータが格納される特徴データ用ルックアップテーブル（8 to 8 LUT）82と、画素補間・ガンマ処理部42のガンマ補正テーブル78から出力されてきた画素データの1色目から3色目までの各成分及びセクタ81で選択された側のデータに基づいてYCrCb等の輝度成分（YCrCb空間においては「Y」成分）を有する所定の3成分色空間への変換を行う色空間変換回路83と、YCrCb等の所定の3成分色空間のうちの輝度成分（「Y」成分）のみが入力される輝度用ルックアップテーブル（8 to 8 LUT）84と、色空間変換回路83からの3成分（例えば「Y」「Cr」「Cb」）が入力されて当該3成分によりCCD21の撮像時の露出決定（オートエクスポージャー）のための評価値を出力する露出決定評価器（AE Evaluation Value Detector）85と、露出決定評価器85から出力された3成分（例えば「Y」「Cr」「Cb」）のそれぞれに対して輝度用ルックアップテーブル84内の輝度データを用いて変調する3個の乗算器86a~86cと、各乗算器86a~86cを経由した3成分（例えば「Y」「Cr」「Cb」）のそれぞれに対して特徴データ用ルックアップテーブル82内で変換された特徴データを用いて変調する3個の乗算器87a~87cとを備える。

【0119】このように、セクタ81で選択した4色目の色成分を特徴データ用ルックアップテーブル82に特徴データとして入力し、この特徴データを用いて3個の画素データのそれぞれの変調を容易に行うことができる。これにより、例えば所定の空間フィルタを設け、この空間フィルタにより特定の周波数（高周波成分等）に注目した値を4色目のデータとして抽出し、その特定の周波数の値が所定のスレッシユレベルより大きい場合等に色信号抑圧等の様々な例外的画像処理を容易に実行できる。あるいは、図19には図示していないが、特徴データに所定の係数を積算した後、加算器を用いて3個の画素データに加算するようなことも容易に可能となる。さらに、図19には図示していないが、画素データの3成分（例えば「Y」「Cr」「Cb」）に加えて、特徴データ（4色目の信号）をメインバス28を通じて主メモリ29に格納することが可能となり、この一旦主メモリ29に格納されたデータ中の特徴データについていつでも容易に様々な例外的画像処理を行うことができる。この場合は、CPU24でのソフトウェア処理で活用してもよいし、また、4色目のデータとして主メモリ29内に一旦格納した後に再度リアルタイムプロセッシングユニット23で活用してもよいものである。

【0120】また、上述のように、図20の如く、セクタ81での選択動作により、ガンマ補正テーブル78からの入力データの4色目の信号（「色4」）と、色選択ブロック63より出力されるグリーン（G）の高域成

分（Gh信号）を特徴データ用ルックアップテーブル82に入力し、ここからの出力を露出決定評価器85から出力された3成分（例えば「Y」「Cr」「Cb」）のそれぞれに対し乗算するかどうかを決定するようにしている。実際に搭載するCCD21の光学的特性に適するようにセクタ81での選択を行い、上述のポスト処理（Post Processing）における「Y」または「Cr」「Cb」の画素毎の変調等の処理を、CPU24でのソフトウェア処理に依らずに高速に行うことができる。

【0121】また、色選択ブロック（画素補間ブロック）63から出力される「Gh」信号をセクタ81aで選択して色空間変換回路83の4色目に入力できるようにしている。これにより、例えばRGB-Bayerのような3色系画素配列のデータ処理時には、「Gh」信号の成分を色空間変換回路83において各色成分に任意に加算することができる。もともと、グリーン（G）の画素成分は、「Y（輝度）（ $=0.6G+0.3R+0.1B$ ）」信号の生成過程において、6割の重み付けがなされるため、輝度表示への寄与率が高い。そして、「G」成分の高域信号である「Gh」信号は、「Y（輝度）」信号の高域成分としてそのまま使用することも可能である。したがって、この「Gh」信号を各色成分へ容易に加算することができる。例えば、RGB-Bayerの場合、「R」、「G」、「B」の各成分に「Gh」信号の成分を一種の輝度特性として一定の係数で足し込めば、そのまま各成分の輝度の調整が容易に可能となる。

【0122】ここで、一般に、Gh等の高域成分を「Y」信号に独立加算すると、ゲイン調整用の乗算器とY信号等への加算器が独立に必要となってしまう、回路規模が増大してしまう。その一方、4色系の処理も行なえる色空間変換回路の場合、この色空間変換回路が4成分の入力機能を持っているのが常であるが、RGB-Bayerのような3色系画素配列のデータ処理に対しては、4色目の係数は通常すべて「0」に設定され使用しておらず、余剰な入力端子となって非効率である。このことを考慮し、この実施の形態では、「Gh」信号をこの4色目の色成分としてセクタ81で選択的に入力できるようにすることによって、RGB-Bayerのような3色系画素配列のデータ処理においても、乗算器、加算器を追加せずに、「Gh」信号のゲイン調整と各色成分への加算が達成できる。

【0123】色空間変換・色抑圧処理部43の輝度用ルックアップテーブル（8 to 8 LUT）84は、色空間変換回路83から出力される「Y（輝度成分）」「Cr（第一色信号）」「Cb（第二色信号）」の色空間領域の信号において、特に「Y」信号のみが入力され、その出力を露出決定評価器85からの「Y」、「Cr」、「Cb」の各成分に対して乗算するかどうかを決定する機能

を有している。

【0124】そして、特に「Cr」信号及び「Cb」信号の乗算をONにし、「Y」信号の乗算をOFFにした場合は、暗部と明部の色抑圧（クロマサプレス）等を行うことができる（色抑圧機能）ものである。

【0125】一般に、画像中の暗部は、様々なノイズの影響を受けやすい性質があり、故に暗部ではできるだけ発色を抑制することが自然な画質を出力することにつながる。一方、画像中の明部は、これを撮像したCCD21やその他の種々のハードウェア部品の特性に応じて変動がかりやすい部分であり、ホワイトバランスが狂いやすい部分であるため、やはりできるだけ発色を抑制することが自然な画質を出力することに寄与する。これらのことを考慮し、画像中の明部と暗部において発色を抑制するのが色抑圧（クロマサプレス）機能の目的である。尚、図21はクロマサプレス処理時の動作例を示すブロック図である。ここでは、色空間変換回路83中に示した各演算関数に基づいて「色1」～「色4」までの4色の成分を「Y」、「Cr」、「Cb」の各成分に変換した後、「Y」信号のみを輝度用ルックアップテーブル84に留保し、これを各乗算器86a～86cで「Y」以外の各成分「Cr」、「Cb」に乗算している。

【0126】一般に、例えばクロマサプレス処理の場合、画像中の明部のクロマサプレスを行うためには、「Y」信号を一定のしきい値と比較し、「Y」信号がある一定レベルを超えたところで「Y」信号の傾きを変更するようにした演算回路を使用する方法がある。また、画像中の暗部でのクロマサプレスを行う場合、明部の回路と独立にサプレス回路を追加して設置することが多い。しかしながら、このような一般的な方法では、回路点数が多くなり、回路構成の複雑化によりコストが上昇し、また回路の面積効率も良いものとは言えない。

【0127】これに対し、この実施の形態に係るデジタルステレオカメラでは、「Y」信号を8ビット信号として輝度用ルックアップテーブル（8 to 8 LUT）84に入力し、ここから8ビット出力信号として出力するようにしているので、「Y」信号、「Cr」信号、「Cb」信号にのそれぞれに対して独立に乗算することができる。これにより、画像中の暗部及び明部のクロマサプレスを単一の回路で行うことができるようになる。

【0128】ここで、このクロマサプレス処理について、例えば、CPU24でのソフトウェア処理でGh信号等の高域信号を所定のしきい値と比較し、高域信号がその閾値を超えていればクロマサプレスを行うようにする場合を考えると、このCPU24での処理ではクロマサプレスの方法が固定され、特定の画像で色の付くべき領域に色がつかない等の不具合が発生していた。これらの場合はソフトウェアで色の抑圧を行なう等の方法で対応していたが、処理時間が非常に長くなってしまい問題

となっていた。

【0129】しかしながら、この実施の形態では、一旦主メモリ29内に画像を格納し、CPU24等により画素毎に特徴データを付加して再び主メモリ29内に格納した後、さらにリアルタイムプロセッシングユニット23での処理を行うことができるようになっているので、一つの回路で状況に応じてGh成分によるクロマサプレスとソフトウェアで生成された特徴データ信号によるクロマサプレスをリアルタイム処理にてスピードの低下を発生させずに使用することができる。

【0130】また、色空間変換回路83からの「Y」信号の乗算のみをONにすることで、「Y」信号に対してのみガンマ変換を行うことができるものである（ガンマ変換機能）。ここで、図22はガンマ変換処理時の動作を示すブロック図である。ここでは、色空間変換回路83中に示した各演算式に基づいて「色1」～「色4」までの4色の成分を「Y」、「Cr」、「Cb」の各成分に変換した後、「Y」信号のみを輝度用ルックアップテーブル84に留保し、これを各乗算器86a～86cで各成分「Y」、「Cr」、「Cb」のすべてにそれぞれ乗算している。

【0131】そして、かかるガンマ変換処理と上述のクロマサプレス処理とを同一の回路で行っているため、回路構成は非常に簡単なものでよい。特に、2個の輝度用ルックアップテーブル（8 to 8 LUT）84を独立に持てば、色抑圧機能とガンマ変換機能の両者を同時に発揮することができる。一般のリアルタイムプロセッシングユニットでは、この「クロマサプレス」と「ガンマ補正」の2つの機能を持たせる場合はこれらの機能を同時に使用できないという不都合が生じるが、この実施の形態に係るデジタルステレオカメラのリアルタイムプロセッシングユニット23では、一旦リアルタイムプロセッシングユニット23で処理された画素データについて、主メモリ29及びメインバス28を通じてダイレクトメモリアクセス（DMA）により何度でも繰り返しリアルタイムプロセッシングユニット23を通過させることができるので、それぞれを別のパスに分けて使用することで、不都合なく処理することができる。

【0132】尚、ここでは「Y」、「Cr」、「Cb」の色空間信号に対する処理を説明したが、これに限るものではなく、例外的画像処理によりこれと全く異なる色空間信号に対しても、全く同様に実行することができる。

【0133】色空間変換・色抑圧処理部43の露出決定評価器85は、シャッタースピードや絞りの大きさ等を決定する際の前提として、実際の画像データの適正輝度に基づいて露出レベルの決定を行うためのもので、1フレームの画像を複数のブロックに区分けし、ブロック同士の輝度（明るさ）を平準化するための輝度評価を行うものである。

【0134】一般に、露出決定の評価を行う場合、フレーム中の中心に位置する長方形領域のブロックとその周辺部のブロックの「Y（輝度）」信号（または「G（緑色成分）」信号）の平均値を評価値とする方法（第一の露出決定評価方法：図23参照）がある。通常、中央部分の画像は被写体が映し出されるために比較的露出決定を厳密に行いたいのに対して、周辺部分については画像中の重要度が低いと予想されるために中央部分に比べて露出決定の厳密性が要求されないことが多い。このような場合には、この第一の露出決定評価方法が有効となる。

【0135】この他、全領域を例えば5×5に等間隔に区切った各ブロックの各々の「Y」信号（または「G」信号）の平均値を露出決定に使用する評価値とする方法（第二の露出決定評価方法：図24参照）もある。

【0136】しかしながら、中心位置とその周囲のブロックをそれぞれ平均して行う第一の露出決定評価方法では、中央重点露出決定と全体的な逆光補正は可能であるが、よりきめ細かな露出決定アルゴリズムの使用は難しい。また、等間隔のブロック分割を行う第二の露出決定評価方法では、中央重点の露出決定を行なうときとスポット的な露出決定を行なうときでそれぞれ異なるブロックの合成処理が必要となり、演算に時間がかかる。また、ブロック境界を最適な位置に設定する際、すべてのブロックの面積が同一でなければならないという制約があるため、かかる制約を満たすためにはブロックの分割数が増大しがちであり、この場合は回路規模が大きくなって消費電力を増大したり、露出決定評価の処理時間が多大となってしまう。

【0137】これらのことを考慮し、この実施の形態に係るデジタルステルカメラの露出決定評価器85は、複数のブロックに分割する際に、図23及び図24の如く、各ブロックの境界の位置を任意に変更可能としたものである。

【0138】ここで、図23は中心位置とその周囲のそれぞれのブロックと同一の境界線を任意の位置に設定した場合の図、図24は各ブロックを同一面積に設定する場合の図である。

【0139】即ち、露出決定の領域を少なくとも3×3以上のブロックに分割し、各ブロックの境界位置を自由に移動可能としており、例えば図23の場合は、各ブロック同士の境界線を全く任意の位置に設定している。また図24の場合は、同図中の太線の部分のみを確定することで、細線のように等間隔のブロックを設定する。これらの方法により、少ないブロック数で最適なブロック境界を選択することが可能となり、演算時間の増加を抑えつつ、露出決定の精度を向上させることができる。

【0140】具体的には、この露出決定評価器85においては、リアルタイムプロセッシングユニット23のを駆動制御するためのドライバソフトウェアプログラムに

よって、CCD21の光学的特性に応じた最適なブロック同士の間の境界線を任意の位置に設定しておき、かかる境界線によって区画される各ブロック毎にすべての画素の「Y」信号等の輝度値を積分演算し、これらの各ブロック毎の積分値を評価の対象とする。具体的な露出決定評価器85のハードウェア構成としては、カウンタ及び加算器等が内蔵されて構成される。あるいは、デジタルステルカメラのユニットの表面に何らかのモード切替用の入力釦を設けておき、この入力釦によりブロック同士の間の境界線をいくつかのモード設定の位置に変更できるようにドライバソフトウェアプログラムを設定しておけば、ユーザーの意思により、状況に応じて最適な露出決定領域を選択できる。

【0141】＜空間フィルタ・コアリング処理部44の構成及び動作＞図25は空間フィルタ・コアリング処理部44の内部構成を示すブロック図である。ここでは、色空間変換・色抑圧処理部43の各乗算器87a～87cからの色空間信号（「Y」、「Cr」、「Cb」）を、空間フィルタ91（R00～R48）に対して複数のラインメモリ（2048 Variable Length FIFO）92a～92dを用いながら格納し、その後輪郭補正処理を行うものである。

【0142】このように、輪郭補正処理を行う場合に、この実施の形態では、各成分の信号（「Y」、「Cr」、「Cb」）と、これを強調した高周波成分の信号に分解して取り扱うことを可能としており、これにより各データにおけるビット長を小さくすることを可能としている。この理由を説明する。

【0143】一般に、空間フィルタでの処理は、単に任意設定可能な一定の空間フィルタを通すだけであったが、この方法では、2つの問題点が存在する。

【0144】まず、一般的なフィルタ処理を行なう際には、図26の如く、通常、中心画素の係数の絶対値 S_o は大きな値となるが、この中心画素から周辺に遠ざかるに従って絶対値 S_v が小さくなる。これは、輪郭補正処理を行った後のデータでも同様である（図27）。しかし空間フィルタの汎用性を確保しようとする、周辺画素のビット長を小さくすることはできない。この場合、すべての画素の係数のビット長を中心画素のビット長に合わせて長くする必要があり、ほとんどの場合、用意したビット長を有効に使用することとはならなくなってしまう。

【0145】そこで、この実施の形態では、空間フィルタ91（図25）の出力と、中心画素の元データに各々係数を乗算し、その後で加算する構成とすることにより、各画素のビット長を増加することなく、必要十分なフィルタ演算を実行することを可能としている。

【0146】具体的には、「Y」、「Cr」、「Cb」の色空間信号において輪郭補正処理を行う場合に、「Cr」成分及び「Cb」成分といった各色成分に対しては

輪郭補正処理を行わず、「Y（輝度）」成分のみに対して輪郭補正処理を行うようにすれば、画像のコントラストが十分に強調され、これをもって輪郭を強調することができる。即ち、図 25 において、空間フィルタ 91 内の中心画素（R24）の「Y」成分のみを配線 93 を通じて取り出し、乗算器 94 で所定の任意の係数を乗算する。一方、空間フィルタ 91 内の 12 ビット長の中心画素（R24）の全成分の合計値を配線 96 で取り出し、これらに乗算器 97 で所定の任意の係数（Ratio）を乗算して、非線形処理（コアリング）を施すための第一コアリングファンクション（Coring Function）ブロック 98 に入力する。そして、この第一コアリングファンクションブロック 98 からの出力（色線分の合計値）と、乗算器 94 で所定の係数が乗算された「Y」成分を加算器 99 により加算して、中心画素（R24）の輪郭強調の値を算出し、他方、色信号（「Cr」、「Cb」）そのものについては、配線 101、102 を通じてこれを取り出した後、第二及び第三コアリングファンクションブロック 103、104 に格納した後、加算器 99 からの輪郭強調の値と併せて出力部 45 へ送出される。尚、これら要素 94、97、99 を総称して輪郭補正処理部と称する。

【0147】また、これと同時に、各成分の信号（「Y（1 色目の成分）」、「Cr（2 色目の成分）」及び「Cb（3 色目の成分）」）は配線 105 を通じて出力部 45 へ送出される。この際、「Y」成分、「Cr」成分、「Cb」成分及び乗算器 97 からの出力値（空間フィルタ 91 からの出力値自身）のいずれかを特徴データ（KEY 信号）として扱うことを可能とするために、セレクタ 105a によって 4 色目の成分として選択して出力できるようになっている。

【0148】このように、この実施の形態では、空間フィルタ 91（図 25）の出力と、中心画素の元データに各々係数を乗算器 94、97 で乗算し、その後で加算器 99 で加算する構成とすることにより、各画素のビット長を増加することなく、必要十分なフィルタ演算を実行することが可能となる。また、元信号と高域信号が分離できるため、この高域信号に対し「コアリング」という非線形演算を施すことにより、ノイズの増加を抑えながら輪郭強調を行なうことができる。

【0149】ここで、色信号（「Cr」、「Cb」）と輝度信号（「Y」）を独立に処理し、最後に加算してビデオ信号等を作成する方法も考えられ、この場合、輝度信号（「Y」）は輪郭強調を行われた後でガンマ変換を行なうことが多い。しかし、デジタルカメラの信号処理は、入力信号として 10 ビット～12 ビットが使用されるため、ガンマ変換を処理の当初に行なってメモリ上のビット長を削減し、メモリ容量を削減すること、及びデジタル処理途中のビット長を削減し、回路規模を小さくすることが一般的に行なわれる。この形では輪郭補正処

理を、ガンマ変換の後で行なうことが必要となってくる。

【0150】一般に、「Y」成分の高周波数成分を抽出する場合、通常であれば高周波フィルタである空間フィルタ 91 のみを用いて実行する方法も考えられるが、この「Y」成分を用いて空間フィルタ 91 内の 12 ビット長の各要素（例えば R24）を輪郭強調する場合は、各要素自体にノイズが重畳していた場合、かかるノイズ成分も一緒に輪郭強調されてしまうおそれがあり、このままではノイズが目立った不自然な画像に変質してしまうおそれがある。

【0151】そこで、ガンマ補正を行った後の信号に対して輪郭強調をする際に、高域成分がある一定レベルを超えたときのみ輪郭強調を行なう非線形演算（コアリング）が必要となる。ただし、ガンマ変換後の「Y」の高域信号に対してコアリングを行なうと、低輝度域では振幅が相対的に大きくなっているため、低輝度域の高域成分により強く輪郭強調が行われる傾向となる。しかし、一方、実際に、強調が必要な信号は中輝度域から高輝度域に多く含まれ、低輝度域の高域成分はノイズが支配的であるため、空間フィルタ 91 を輪郭強調等に使用した場合には、すべての周波数成分を線形演算すると、ノイズの多い画像では小レベルのノイズを増幅してしまい、ノイズばかり強調されて、必要な信号が強調されずに見苦しくなる。

【0152】ところで、このノイズは一般にコントラストは少ないが、非常に小さく現れるため高周波成分に偏って現れることが多い。そこで、この実施の形態のデジタルスチルカメラでは、コントラストの小さい部分については強調処理をできるだけ行わないように、基づいての信号をそのまま使用する一方、コントラストが一定水準以上の場合に強調処理を積極的に実行することが望ましいと言える。そこで、第一コアリングファンクション 98 においては、図 28 及び図 29 中の符号 98 内の非線形演算関数の如く、入力値に対して非線形な出力値を出力し、特に絶対値が所定のしきい値 α より少ない部分についてはこれを無視するようにすることで、低輝度域にはあまり強調を加えず、中輝度、高輝度域に強く強調を行ない、ノイズ成分を除去した形で画像をはっきりと補正することが可能になる。

【0153】そして、このようにガンマ変換後の高域成分にコアリング処理を行なう場合に、特に、この実施の形態のデジタルスチルカメラでは、図 28 の如く、第一コアリングファンクション 98 に対する入力値（高周波信号）について、「Y」信号自身のガンマ特性を用いて変換したり、あるいは図 29 の如く、コアリングのしきい値 α （Thresh Level）自体を「Y」信号自身のガンマ逆特性を用いて変換することにより、ガンマ変換前にコアリングを行なった場合と等価な処理を行なうことを可能としている。具体的には、ノイズの目立ちにくい明

るい部分（「Y」信号の値が大きい場合）は、入力値に対してしきい値 α の幅を相対的に小さくなるよう設定し、輪郭強調がかかりやすくする一方、ノイズの目立ちやすい暗い部分（「Y」信号の値が小さい場合）では入力値に対してしきい値 α の幅を相対的に大きくなるよう設定することで、輪郭強調がかかりにくくする。そして、このような逆変換特性を過補正気味に設定することで、低輝度域にはあまり強調を加えず、中輝度、高輝度域に強く強調を行ない、画像をよりはっきりと補正することが可能になる。

【0154】尚、図28の例では、「Y」信号（Y0）の値によって逆ガンマ効果ブロック106で1倍から4倍までの値を正の一次関数（比率変換関数）により線形的に演算選出し、これを乗算器107によって入力値に乗算した後、セレクト108によってこれを選択して第一コアリングファンクション98に入力値（ブロック内の非線形演算関数図の横軸）として入力し、これに対応する縦軸の値を出力するようになっている。これにより、コアリングでのしきい値 α に対する入力値の有効／無効の幅を変化させることができる。尚、同図中の符号109a、109bはリミッタである。

【0155】また、図29「Y」信号（Y0）の値によって逆ガンマ効果ブロック111で1倍から4倍までの値を負の一次関数（比率変換関数）により線形的に演算選出し、これをコアリングの初期しきい値 α_0 （Thresh Level）に対して乗算器112で乗算した後、セレクト113によってこれを選択して第一コアリングファンクション98でのコアリングの実際のしきい値 α として設定することで、コアリングでの入力値に対するしきい値 α の幅を変化させることができる。尚、同図中の符号114a、114bはリミッタである。

【0156】尚、逆ガンマ効果ブロック106、111では、線形的な変換関数を用いているが、非線形であっても差し支えない。

【0157】また、図25においては、色信号（「Cr」、「Cb」）についてもそれぞれ第二及び第三コアリングファンクション103、104に入力されるようになっているが、ここでのコアリング処理は一般的な非線形関数によって処理されるため、ここでは説明を省略する。

【0158】＜CCD21としてインターレースタイプのものを使用した場合のリアルタイムプロセッシングユニット23の構成及び動作＞上述のように、このデジタルスチルカメラは、撮像素子であるCCD21として、インターレースタイプのものでプログレッシブタイプのもので選択して使用できるようになっている。

【0159】一般に、プログレッシブタイプのCCD21を使用する場合には、数ライン分のラインメモリを用意すれば、CCD21からの画素データの読み出しと平行して、画素補間、色変換及び輪郭強調などの一般画像

処理を同時に行ない、CCD21からのデータ読み出しとほぼ同時にこれらの一般画像処理を終了させることができる。

【0160】しかしながら、インターレースタイプのCCD21では、偶数ラインのみのフィールド（偶数フィールド）と奇数ラインのみのフィールド（奇数フィールド）が交互に出力されてリアルタイムプロセッシングユニット23に与えられる。この場合に、図30の如く、インターレースタイプのCCD21で撮像された画像を処理するために、両方のフィールドを1フレームの画像に合成して主メモリ29内に格納した後に、初めて種々の画像処理の開始を行う方法が考えられる。しかしながら、この場合は、CCD21からの画像データの格納のために主メモリ29内に1フレーム中の全画素分の格納領域が使用されてしまい、回路的に大規模となる上、消費電力を多く必要としていた。また、読み出し終了まで画像処理を開始することができないため、撮影に時間がかかっていた。

【0161】このことを考慮し、この実施の形態にかかるデジタルスチルカメラでは、図31の如く、インターレースタイプのCCD21の最初のフィールド（奇数フィールドまたは偶数フィールドのうちの一方：以下「第一フィールド」と称す）を主メモリ29内に格納し、2番目のフィールド（奇数フィールドまたは偶数フィールドのうちの他方：以下「第二フィールド」と称す）の読み出しと同時に、主メモリ29から第一フィールドのデータをダイレクトメモリアクセスで読み出してリアルタイムプロセッシングユニット23に入力するようになっている。これにより、インターレースタイプのCCD21からの第二フィールドの読み出し期間中に、画素補間、色変換及び輪郭強調等の一般画像処理を同時に行なうことができ、第二フィールドの読み出し終了と同時に一般画像処理を終了させることができる。また、主メモリ29内においてCCD21からのデータ格納のために容易する格納領域は、1フィールド分（1/2フレーム分）のみで良いので、主メモリ29内の必要容量を2分の1に低減できる。

【0162】＜リアルタイムプロセッシングユニット23内のラインメモリ61a、61b、92a～92dの画素数を超える水平画素数を有したCCD21を使用する場合＞このデジタルスチルカメラにおいて、CCD21については、前述の通り、様々なタイプのものを選択して使用できるようになっている。この場合、CCD21の水平画素数が、図14及び図25に示したラインメモリ61a、61b、92a～92dの画素数を超える場合も考えられる。かかる大規模な素子配列を有するCCD21に対しては、このCCD21のデータを一度主メモリ29内に蓄積し、図32のように、画像フレーム118中の画像を水平方向に複数ブロック119に分割して、ダイレクトメモリアクセスでリアルタイムプロセ

ッシングユニット23に入力することにより、高速処理を行うことが可能になっている。

【0163】一般に、CCD21からの画像についてのリアルタイム処理（一般画像処理）においては、ほとんどの処理において上下ラインの画素を参照する必要があるため、水平の画素数分のラインメモリが（複数）必要であった。したがって、CCD21からの画像を直接リアルタイムプロセッシングユニット23で処理することとすると、処理できるCCD21の水平の画素サイズは、ハードウェアとして作り込まれたラインメモリ61a、61b、92a～92dの画素数によって制限を受けることになる。ところが、集積回路においてラインメモリ61a、61b、92a～92dは非常に大きな面積を占めるため、CCD21の駆動回路に比較してリアルタイムプロセッシングユニット23の面積を多大に確保することが困難であり、その結果、処理可能な水平画素数はどうしても小さくなってしまい、大画素のCCD21の使用が困難であった。

【0164】これに対してこの実施の形態にかかるデジタルスチルカメラでは、一度主メモリ29内に格納したデータを、ダイレクトメモリアクセスでリアルタイムプロセッシングユニット23に入力して処理するようになっているため、画像フレーム118を水平方向に複数のブロック119に分割してリアルタイムプロセッシングユニット23でのリアルタイム処理を行なうことにより、上記のCCD21の水平画素サイズの制限は発生しない。したがって、主メモリ29の容量があればいくらかでも大きなCCD21の処理が可能となり、CCD21に対するリアルタイムプロセッシングユニット23の汎用性が向上する。

【0165】以上の実施の形態では、主としてデジタルスチルカメラを例にあげて説明したが、他の画像入力装置の画像処理回路としても容易に適用可能である。

【0166】また、図25に示した空間フィルタ・コアリング処理部44では、「Y」成分、「Cr」成分、「Cb」成分及び乗算器97からの出力値（空間フィルタ91からの出力値自身）のいずれかのうちのひとつを、セクタ105aによって4色目のみの成分として選択するようにしていたが、同様のセクタを他の出力ラインにも設置し、4色目だけでなく他の3色のそれぞれの成分をもそれ以外の成分に自由に切り換えられるように構成してもよい。このようにすることにより、さらに出力成分を自由に変更でき、画像処理回路としての汎用性を向上できる。

【0167】

【発明の効果】請求項1に記載の発明によれば、撮像素子から次々と入力される画素データについて実時間（リアルタイム）処理を行う場合には、途中の画素データを主メモリに蓄えずに行う一方、リアルタイムプロセッシングユニットで用意されない特殊な例外的画像処理だけ

を制御部（CPU）におけるソフトウェアプログラム処理として実行し、その後に一般画像処理を行う場合（ポスト処理）は、一旦主メモリに蓄えた画素データを再度リアルタイムプロセッシングユニットに入力して処理することで、ソフトウェアプログラム処理で実行する場合に比較して大幅に高速化を達成できるとともに、制御部での長時間にわたる処理を可動的に少なくできるので、消費電力を大幅に低減できる。

【0168】請求項2に記載の発明によれば、セクタでの選択によってリアルタイムプロセッシングユニット内の途中（2段目以降）の画像処理部に主メモリ内の画素データを入力できるようにし、また、リアルタイムプロセッシングユニット内の途中（最後段より前段）の画像処理部からの画素データを主メモリに格納することができるようになっているので、リアルタイムプロセッシングユニットで用意されない特殊な例外的画像処理だけを制御部（CPU）におけるソフトウェアプログラム処理として実行し、その後に一般画像処理のうちの必要な処理だけをリアルタイムプロセッシングユニットで処理することができる。即ち、主メモリ内の画素データを常にリアルタイムプロセッシングユニットの最前段に入力する場合に比べて処理手順の一部を省略でき、故に高速化を達成できるとともに、消費電力を低減できる。

【0169】請求項3に記載の発明によれば、ポスト処理時におけるリアルタイムプロセッシングユニットの動作タイミング（処理クロック）を撮像素子の動作タイミングに非同期に規律しているため、例えばリアルタイムプロセッシングユニットの動作タイミング（処理クロック）を撮像素子の動作タイミングより高速に規律する場合は、ポスト処理時の処理スピードが大幅に向上する。一方、リアルタイムプロセッシングユニットの動作タイミング（処理クロック）を撮像素子の動作タイミングより低速に規律する場合は、ポスト処理時の消費電力を低く抑えることができる。

【0170】請求項4に記載の発明によれば、ポスト処理において、主メモリ内の画素データをリアルタイムプロセッシングユニットに複数回通すことを可能としているので、リアルタイムプロセッシングユニット内に例えば空間フィルタを設けているような場合、当該空間フィルタの範囲を等価的に増加させる等の機能の拡張を容易に行うことが可能となる。例えば、従来のリアルタイムプロセッシングユニットでは、撮像素子からのデータ読み出し時に1パスだけの処理しか行えないため、空間フィルタのサイズ等はリアルタイムプロセッシングユニット内に現実に設けられているサイズに限定され、また、それぞれの個別機能も1回しか信号に作用させることができなかったのに対し、この請求項4に記載の発明によれば、ポスト処理において、特定の機能をデータに重複して作用させ、個々の機能を拡張させることができる。また、複数回数に亘って主メモリ内の画素データをリア

リアルタイムプロセッシングユニットに入力できるので、元々のリアルタイムプロセッシングユニットに設定されている処理の順序を変更して処理することが容易となる。したがって、かかる処理順序の変更を制御部（CPU）でのソフトウェアプログラム処理で実行する場合に比べて、非常に短時間で処理を実行できる。この場合、請求項3のようにリアルタイムプロセッシングユニットの動作タイミング（処理クロック）を撮像素子の動作タイミングより高速に規律すれば、リアルタイムプロセッシングユニットの1パスの処理を非常に短時間で終了でき、撮影時間の増加を最小限に抑えて、撮像素子からの読み出し時間に対する時間のロスを最小限に抑制できる。

【0171】請求項5に記載の発明によれば、リアルタイムプロセッシングユニットの出力段で、4個の成分データのうちの少なくとも1個の信号に、リアルタイムプロセッシングユニット内の一般画像処理内で処理された任意の成分のうちの1個の成分データを選択的に格納して出力するようにできるので、元信号になんら変更を加えずに1パスで、特定の出力信号（例えば4色目の信号）を特徴データとして容易に出力できる。この場合、制御部（CPU）でのソフトウェアプログラム処理で実行することとすると、一度すべての画素データを主メモリ内に格納に格納した後ですべての4成分の画素の組み合わせ毎に特徴データを特定の出力成分（例えば4色目の成分）に移す必要があり、処理時間が膨大になるのに対して、請求項5に記載の発明によれば、他の一般画像処理に影響を与えず実時間で高速に処理でき、処理効率を向上でき且つ低消費電力化を図り得る。

【0172】請求項6に記載の発明によれば、YMC G系等の補色タイプ等のような4色系画素データの処理を扱うことが可能なリアルタイムプロセッシングユニットにおいて、例えばRGBベイヤー等のような3色系画素データの処理を行う場合に、4色分のデータ長のデータ列に対して3色分のデータを格納して処理するだけでなく、4色目の色データ領域の信号として各画素の強調成分等の特徴データを格納して処理するようにしているので、各種の非線型処理や画素単位処理を非常に高速に行うことができる。また、4色分のデータ長のデータ列に対して3色分のデータのみを格納して処理する場合に比べて、主メモリ内での記憶ビットを有効に活用でき、また、リアルタイムプロセッシングユニット、制御部及び主メモリ相互間でのデータ転送処理等の効率化を図ることができる。さらに、別途に特徴データのデータ群を取り扱う場合に比べて、低消費電力化を図り得る。

【0173】請求項7に記載の発明によれば、撮像素子からリアルタイムプロセッシングユニットに順次入力される各画素データが複数フレームに亘る場合に、当該撮像素子からの各フレーム内の各画素データに対して、主メモリ内に一旦記憶された前フレーム中の同位置の画素データを所定回数繰返して累積加算することができる

ようにしているので、最終的に得られた累積加算データを加算回数で除算すれば、撮像素子の電荷蓄積部のノイズを減算でき、S/Nの良い十分な信号レベルのデータを得ることができる。

【0174】請求項8に記載の発明によれば、撮像素子からリアルタイムプロセッシングユニットに順次入力される各画素データが複数フレームに亘る場合に、当該撮像素子からの各フレーム内の各画素データに対して、主メモリ内に一旦記憶された前フレーム中の同位置の画素データを所定回数繰返して所定の係数でデフレートして重み付け加算（循環加算）することができるようにしているので、最終的に得られた累積加算データを加算回数で除算すれば、撮像素子の電荷蓄積部のノイズを減算でき、S/Nの良い十分な信号レベルのデータを得ることができる。この場合、所定の係数でデフレートしながら循環加算するようにしているので、各画素のデータ長を元のデータ長から変化させることなく何回でも循環加算することができ、データのオーバーフローを防止することで、加算回数の制限を取り去ることが可能となる。

【0175】請求項9に記載の発明によれば、シェーディング補正を含む所定の画素補正を行う場合に、画素単位の補正データを主メモリ内に予め格納しておき、撮像素子のデータのキャプチャー時に主メモリ内の補正データをリアルタイムプロセッシングユニットに入力することにより画素単位の補正を容易に且つ高速に行なうことができる。

【0176】請求項10に記載の発明によれば、請求項7に記載の累積加算処理機能と、請求項8に記載の循環加算処理機能とを選択することが可能となり、デジタルスチルカメラの仕様設計の変更に対応できる。したがって、デジタルスチルカメラに組み込まれる画像処理回路として、汎用性を大きく持たせることができる。

【0177】請求項11に記載の発明によれば、請求項7に記載の累積加算処理機能と、請求項8に記載の循環加算処理機能と、請求項9に記載の画素補正機能とを選択することが可能となり、デジタルスチルカメラの仕様設計の変更に対応できる。したがって、デジタルスチルカメラに組み込まれる画像処理回路として、汎用性を大きく持たせることができる。

【0178】請求項12及び請求項13に記載の発明によれば、2×2の4色構成の撮像素子に対しては全て同じ演算処理を行うことで画素補間を行う一方、RGBベイヤー等の3色構成の撮像素子に対しては、同一の回路構成において、4色系の補間処理の特殊解として色選択ブロックの一部を置き換えることによって対応できるようにしているので、4色系と3色系とで別々の独立な演算部を設置する場合に比べて、回路規模を小さくすることができ、消費電力を大幅に抑えることができる。

【0179】請求項14に記載の発明によれば、オート

フォーカス評価用の高周波成分評価値を作成する場合に、差分を求める画素対象の離間ピッチを可変にできるようにしているので、評価値が代表する周波数を容易に変更することができる。即ち、肉眼視で十分なレベルにピントが合えば、その範囲内でそれ以上画像を高周波にする行う必要がない一方、あまりに高周波画像が強調されるとノイズの影響が目立つことになり、これらのことを考慮し、適正な周波数（即ち、差分を求める画素対象の離間ピッチ）で高周波成分評価値を作成することが望ましい。ただし、かかる最適な周波数は撮像素子やその他の回路構成によってノイズの混入の度合いが変化することもあり、理論的に一律に決定されるものではない。このため、オートフォーカス評価用の高周波成分評価値を作成する場合に、差分を求める画素対象の離間ピッチを可変することで、撮像素子やその他の回路構成に応じた最適な周波数により高周波成分評価値を容易に作成することが可能となる。

【0180】請求項15に記載の発明によれば、リアルタイムプロセッシングユニット内のレジスタを使用せずに、当該リアルタイムプロセッシングユニット外の主メモリを使用して欠陥画素アドレスを格納するようにしているので、リアルタイムプロセッシングユニット内の回路規模を低減でき、低消費電力化を図り得る。

【0181】請求項16に記載の発明によれば、撮像素子の欠陥画素アドレスをその欠陥画素の発生時間の順序で主メモリ内に格納しておき、シフトレジスタと比較器からなる欠陥画素補正部に入力してやることにより、リアルタイムプロセッシングユニット内のレジスタに欠陥画素アドレスを格納する場合に比べて、欠陥画素数の制限なしに補正を行なうことができる。

【0182】請求項17に記載の発明によれば、1個のガンマ補正テーブルについて、これより入力データのビット長が2ビットだけ短い場合に、4個のガンマ補正用ルックアップテーブルとして機能させるようにしているので、ビット長が2ビットだけ短い場合に、ガンマ補正テーブルの余剰ビット領域を有効活用することで、回路構成を変更せずに、各色に独立な4種類のルックアップテーブルを使用することが可能となる。

【0183】請求項18に記載の発明によれば、所定の第一配列方式の画素データを所定の特別色成分を有する第二配列方式の画素データに変換する色空間変換回路を設け、このうちの特別色成分のみを特別色用ルックアップテーブル内で所定の関数に従って数値変換し、乗算器により特別色成分以外の成分にそれぞれ乗算できるようにしているので、例えば、暗部でのクロマサプレスを、明部でのクロマサプレス及び各種のガンマ変換等の所定の処理を単一の回路で自由に選択して実行できる。また、請求項4のように画素データをリアルタイムプロセッシングユニットに複数回に亘って繰り返し入力するようにすることで、暗部でのクロマサプレス（偽色防止）、明

部でのクロマサプレス及び各種のガンマ変換等の所定の処理を重複して処理できる。

【0184】請求項19及び請求項20に記載の発明によれば、各画素データのうちの4色目の画素と、3色系の画素配列の場合に2×2の画素配列内の4色目の画素として使用された3色系の画素中の一成分の画素とをセレクトで選択し、ここで選択された画素を特徴データとして特徴データ用ルックアップテーブル入力して所定の関数で数値変換し、その値を所定の画素配列の画素データの各成分にそれぞれ乗算するようにしているので、実時間処理とポスト処理のいずれにおいても、特徴データを使用したエッジのクロマサプレスやガンマ補正処理等の種々の処理をリアルタイムプロセッシングユニットで容易に且つ高速に実行できる。特に、請求項1または請求項2のように、一旦主メモリ内に格納された画素データのうちの4色目の画素を特徴データとして使用する場合は、制御部（CPU）でのソフトウェアプログラム処理の結果得られた特徴データ（4色目の成分）や、以前にリアルタイムプロセッシングユニット内で処理された結果得られた特徴データ（4色目の成分）をそのまま特徴データとしてクロマサプレス等の所定の処理に活用できるので、これらの処理を最初から最後まで制御部でのソフトウェアプログラム処理で実行する場合に比べて、処理時間を大幅に短縮できる。

【0185】請求項21に記載の発明によれば、例えばRGBベイヤーのような3色系の画素配列の場合の4色目の成分として、色選択ブロックから出力された4色目の画素のデータと、前記第一配列方式の画素データ中の一の成分のデータとを選択して色空間変換回路に入力できるようにしているので、この選択されたデータを色空間変換回路内で任意の係数で第二配列方式の画素データに加算することができる。したがって、例えば、乗算器や加算器を追加せずに、色選択ブロックから出力された4色目として緑色成分の高周波成分（Gh成分）等を容易に入力でき、Gh成分のゲイン調整と各色成分への加算等の所定の処理を容易に実行できる。

【0186】請求項22に記載の発明によれば、露出決定評価のためのブロック分割の領域について、各ブロックの境界位置を自由に変更可能としているので、少ないブロック数で最適なブロック境界を選択することが可能となり、演算時間の増加を抑えつつ、露出決定評価の精度を向上させることができる。

【0187】請求項23に記載の発明によれば、輪郭強調後の画素データの出力において、空間フィルタの出力を元信号と別々に出力して加算できるようにしているので、空間フィルタの画素データのうちのビット長の大きい中心画素の演算ビット長を元データで表し、ビット長の小さい輪郭強調成分（高域信号成分）を別途出力することで、中心画素の元データに各々係数を乗算し、その後で加算する構成とすることなどにより、各画素のビット

長を増加することなく、必要十分なフィルタ演算を実行することができる。したがって、全体としてのデータの総ビット数を抑制でき、回路規模を小さくできる。また、元信号と高域信号が分離できるため、この高域信号に対し「コアリング」という非線形演算を施すことにより、容易にノイズの増加を抑えながら輪郭強調を行なうことができる。

【0188】請求項24及び請求項25に記載の発明によれば、ガンマ補正を行った後の信号に対して輪郭強調をする際に、コアリングを行うようにし、その際に、コアリングのしきい幅を各画素の特別色成分の値により容易に変調できるようにしているため、相対的に明るい部分について強く強調することが容易に可能となり、ノイズの増加を防ぎながら輪郭強調が可能となる。

【0189】また、請求項25に記載の発明によれば、空間周波数変換を任意の色成分に対して行い、元の色成分に重ねて格納できるため、各色毎の周波数変換処理を独立に且つ高速に行うことができる。

【0190】請求項26に記載の発明によれば、撮像素子としてインターレースタイプのものを使用する場合に、主メモリ内の第一フィールド内の画素データを、撮像素子からの第二フィールドの画素データの入力に同期して読み出し参照し、画素補間処理、色空間変換処理及び輪郭補正処理を含む所定の画像処理を実行するようにしているので、第二フィールドの画素データの読み出し終了と同時に画像処理を終了させることができ、処理効率を大幅に向上させることができる。また、主メモリ内の画像格納領域が第一フィールドについての1フィールドのみで済むため主メモリの必要容量を低減できる。

【0191】請求項27に記載の発明によれば、主メモリに一旦格納した画素データを、再度リアルタイムプロセッシングユニットに入力して処理する際に、複数のブロックに分割可能とすることで、撮像素子の撮像素素数がリアルタイムプロセッシングユニット内のラインメモリ中の画素データの個数より多い場合にも、画像の水平サイズをラインメモリの画素数以下に保つことが可能であり、リアルタイムプロセッシングユニットの処理に関して撮像素子の水平画素サイズの制限が存在せず、汎用性に優れた画像処理回路を提供できる、という効果がある。

【図面の簡単な説明】

【図1】この発明の一の実施の形態に係るデジタルスチルカメラの全体構成の概略を示すブロック図である。

【図2】この発明の一の実施の形態に係るデジタルスチルカメラ中のリアルタイムプロセッシングユニットとCPUとのデータの受け渡しに係る構成を示すブロック図である。

【図3】この発明の一の実施の形態に係るデジタルスチルカメラ中のリアルタイムプロセッシングユニットの内部構成の概略を示すブロック図である。

【図4】リアルタイムプロセッシングユニット中の単一画素処理部の内部構造を示すブロック図である。

【図5】累積加算処理時の単一画素処理部の処理構造を示す図である。

【図6】循環加算処理時の単一画素処理部の処理構造を示す図である。

【図7】画像ライン中にシェーディングが発生した状態を示す輝度の分布図である。

【図8】ブロック単位でシェーディング補正処理を行った場合に輝度段差が生じた状態を示す輝度の分布図である。

【図9】シェーディング補正処理時の単一画素処理部の処理構造を示す図である。

【図10】RGB-Bayerの画素配列の例を示す図である。

【図11】YMC G系補色タイプの画素配列を示す図である。

【図12】一般的な画素配列を示す図である。

【図13】4色系画素配列中の一般的な画素補間の動作を示す図である。

【図14】リアルタイムプロセッシングユニット中の画素補間・ガンマ処理部の内部構造を示すブロック図である。

【図15】リアルタイムプロセッシングユニット中の画素補間・ガンマ処理部におけるAF評価機能を示したブロック図である。

【図16】リアルタイムプロセッシングユニット中の画素補間・ガンマ処理部における欠陥画素補正機能を示したブロック図である。

【図17】リアルタイムプロセッシングユニット中の画素補間・ガンマ処理部におけるガンマ補正テーブルを示す図である。

【図18】リアルタイムプロセッシングユニット中の画素補間・ガンマ処理部におけるガンマ補正テーブルが4つのルックアップテーブルに分割された状態を示す図である。

【図19】リアルタイムプロセッシングユニット中の色空間変換・色抑圧処理部を示すブロック図である。

【図20】「Gh」信号と4色目の信号とを選択してクロマサプレス処理等の所定の処理動作を行う状態を示すブロック図である。

【図21】「Y」信号に基づくクロマサプレス処理時の動作を示すブロック図である。

【図22】「Y」信号に基づくガンマ変換処理時の動作を示すブロック図である。

【図23】画像をブロック毎に等間隔に分割した状態を示す図である。

【図24】画像をブロック毎に最適化して分割した状態を示す図である。

【図25】この発明の一の実施の形態に係るデジタル

スチルカメラ中の空間フィルタ・コアリング処理部の内部構成を示すブロック図である。

【図 26】輪郭補正処理前の画像の輝度分布例を示す分布図である。

【図 27】輪郭補正処理後の画像の輝度分布例を示す分布図である。

【図 28】コアリングファンクションの変調機能を示す機能ブロック図である。

【図 29】コアリングファンクションの変調機能を示す機能ブロック図である。

【図 30】インターレースタイプの CCD を使用する場合のリアルタイムプロセッシングユニットに対するデータ入力動作についての従来例を示すブロック図である。

【図 31】インターレースタイプの CCD を使用する場合のこの発明の一の実施の形態に係るデジタルスチルカメラにおけるリアルタイムプロセッシングユニットに対するデータ入力動作を示すブロック図である。

【図 32】画面を複数のブロックに分割して処理する動作を示す図である。

【図 33】従来のデジタルスチルカメラの全体構成を示すブロック図である。

【図 34】リアルタイムプロセッシングユニットでリアルタイム処理を行う動作を示すブロック図である。

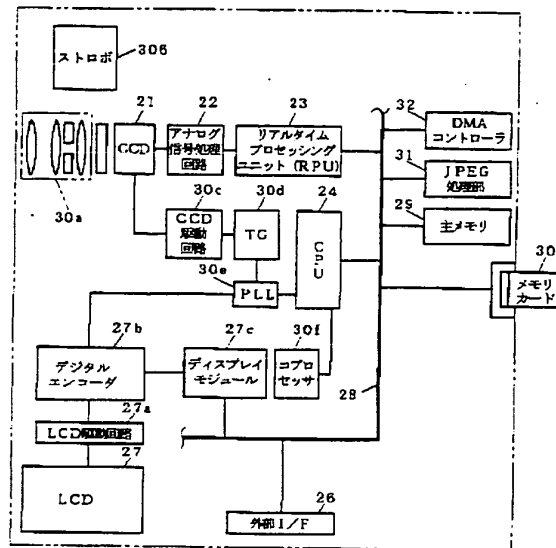
【図 35】従来において CPU により例外的画像処理を行う場合の動作を示すブロック図である。

【符号の説明】

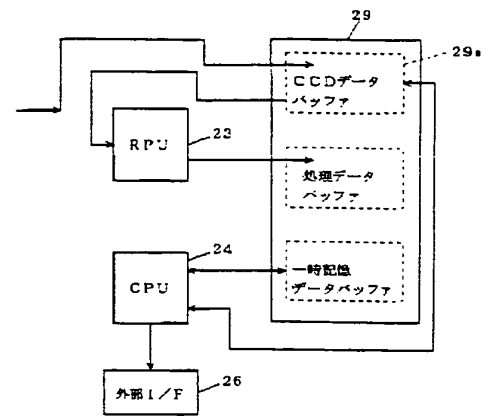
- 21 CCD
- 22 アナログ信号処理回路
- 23 リアルタイムプロセッシングユニット
- 24 CPU
- 26 外部インターフェース
- 27 ファインダー
- 28 メインバス
- 29 主メモリ
- 30 メモリカード
- 32 DMAコントローラ
- 41 単一画素処理部
- 42 画素補間・ガンマ処理部
- 43 色空間変換・色抑圧処理部
- 44 空間フィルタ・コアリング処理部
- 45 リサイズ処理部
- 52 シフタ
- 53 第一セクタ
- 54 第一乗算器
- 55 第二セクタ
- 56 第二乗算器
- 57 加算器

- 58 リミッタ
- 61 a, 61 b, 92 a~92 d ラインメモリ
- 62 ピクセルレジスタ
- 63 色選択ブロック
- 64 セクタ
- 65 演算回路
- 65 b 入力端子
- 66 バッファ
- 67 加算器
- 10 68 累積加算器
- 71 ガンマ補正テーブル
- 71 a~71 d シフトレジスタ
- 72 a, 72 b 比較器
- 73 欠陥画素タイミング発生回路
- 74, 76 レジスタ
- 75 論理積回路
- 77 a, 77 b セクタ
- 78 ガンマ補正テーブル
- 78 a~78 d ルックアップテーブル
- 20 79 a~79 d セクタ
- 81 セクタ
- 82 特徴データ用ルックアップテーブル
- 83 色空間変換回路
- 84 輝度用ルックアップテーブル
- 85 露出決定評価器
- 86 a~86 c, 87 a~87 c 乗算器
- 91 空間フィルタ
- 92 a~92 d ラインメモリ
- 93 配線
- 30 94, 97 乗算器
- 96 配線
- 98 第一コアリングファンクションブロック
- 99 加算器
- 101, 102 配線
- 103, 104 第三コアリングファンクションブロック
- 105 配線
- 105 a セクタ
- 106, 111 逆ガンマ効果ブロック
- 40 107 乗算器
- 108 セクタ
- 111 逆ガンマ効果ブロック
- 112 乗算器
- 113 セクタ
- 118 画像フレーム
- 119 ブロック

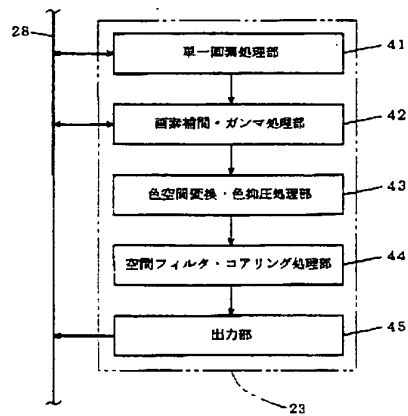
【図1】



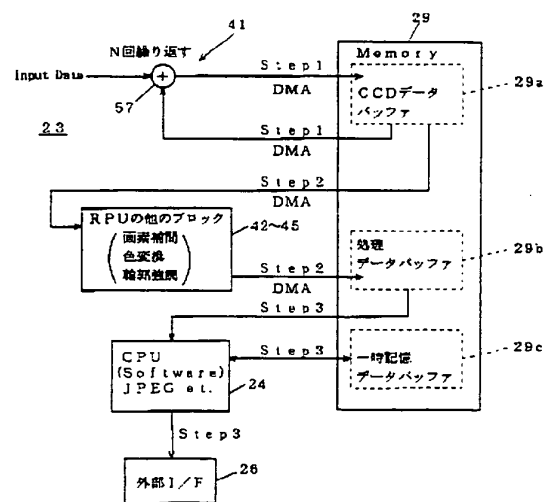
【図2】



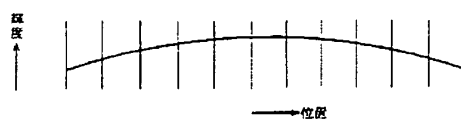
【図3】



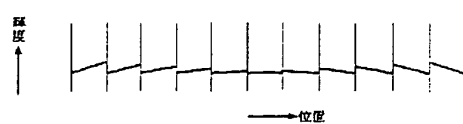
【図5】



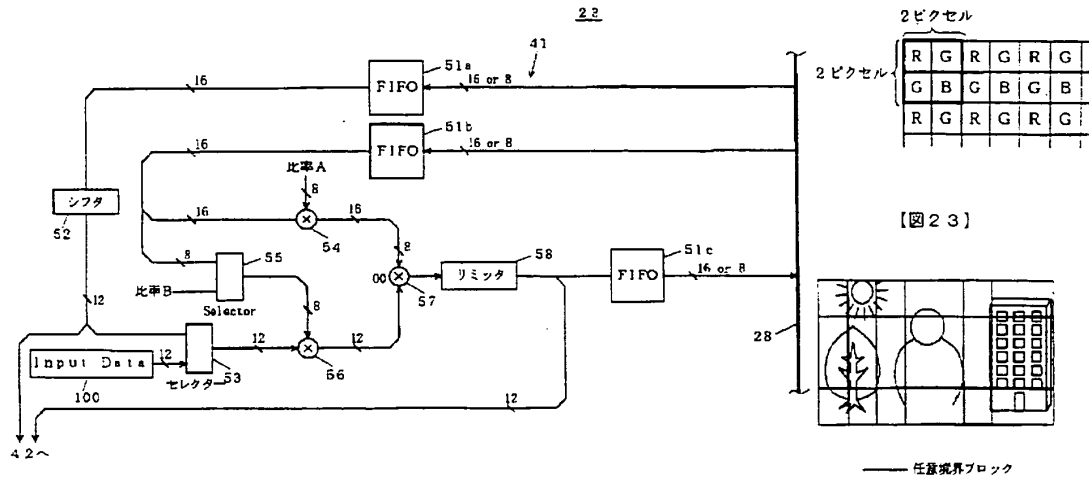
【図7】



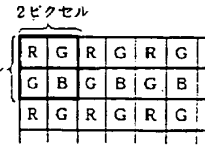
【図8】



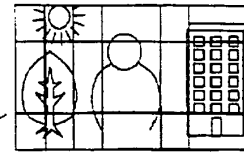
【図4】



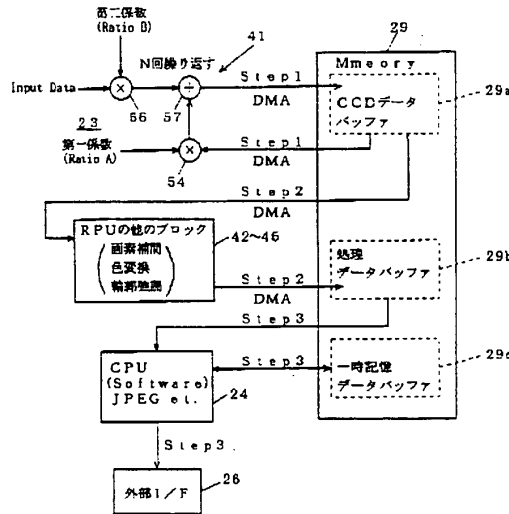
【図10】



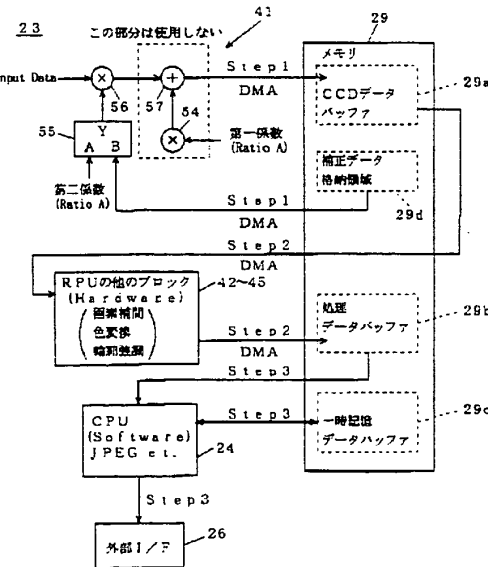
【図23】



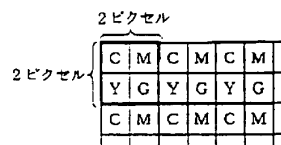
【図6】



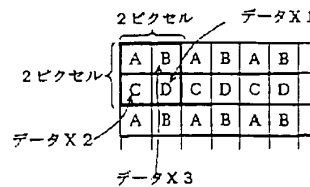
【図9】



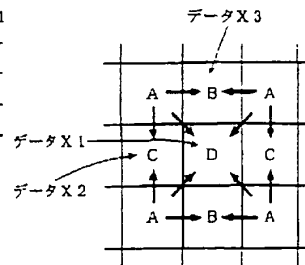
【図11】



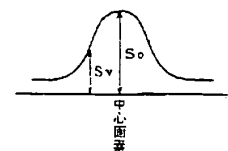
【図12】



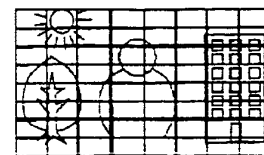
【図13】



【図26】

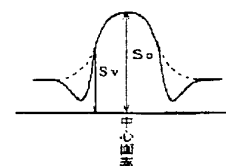


【图 24】

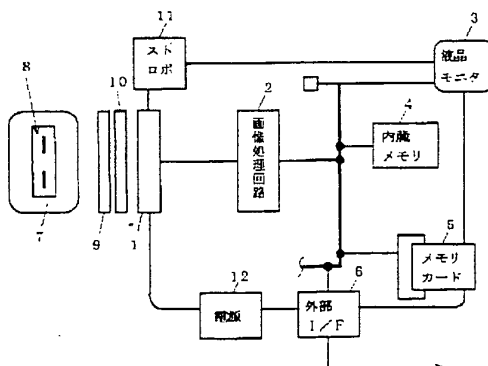


—— 最適化したブロック
—— 等間隔ブロック

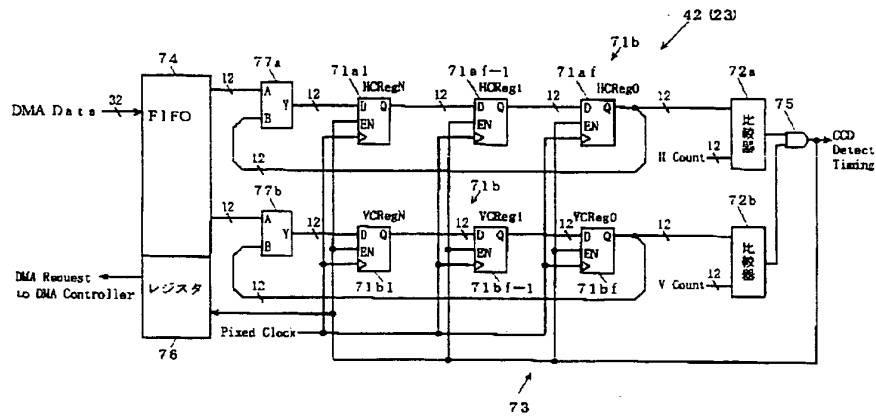
【图 27】



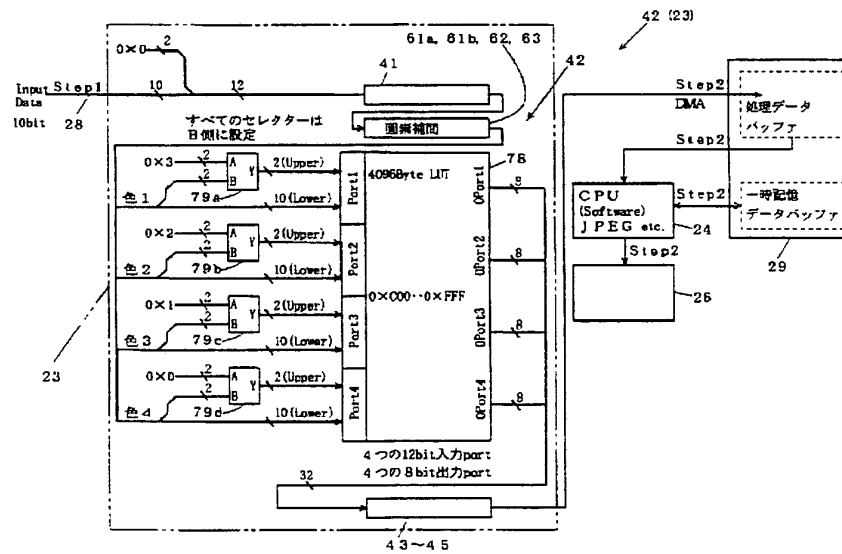
【图 3 3】



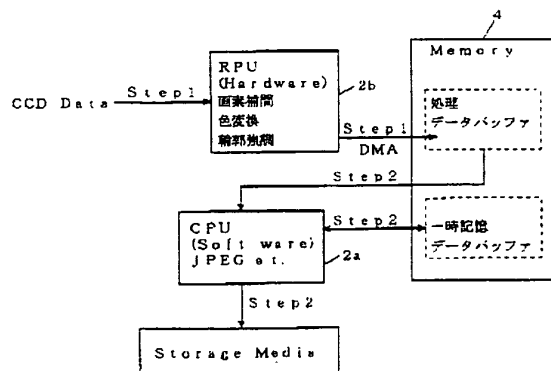
【図16】



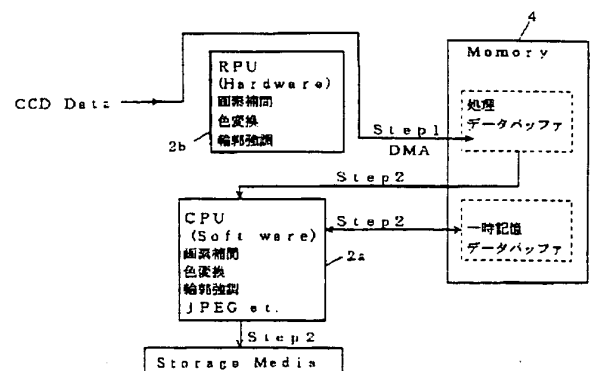
【図17】



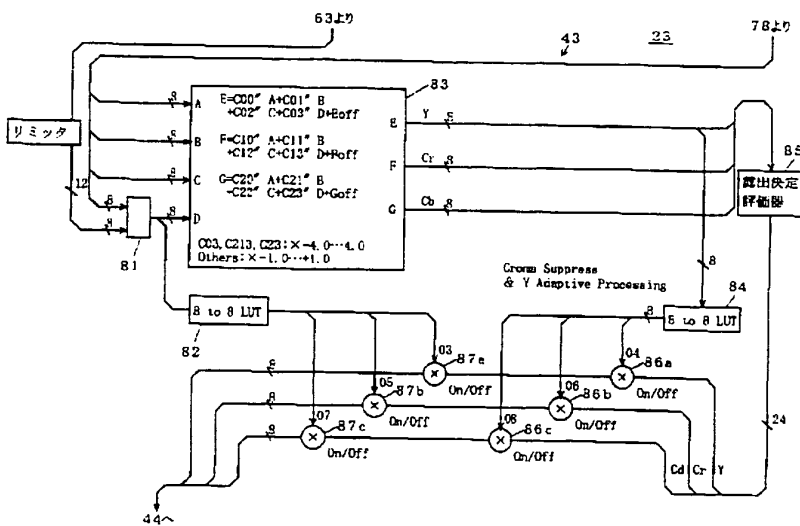
【図34】



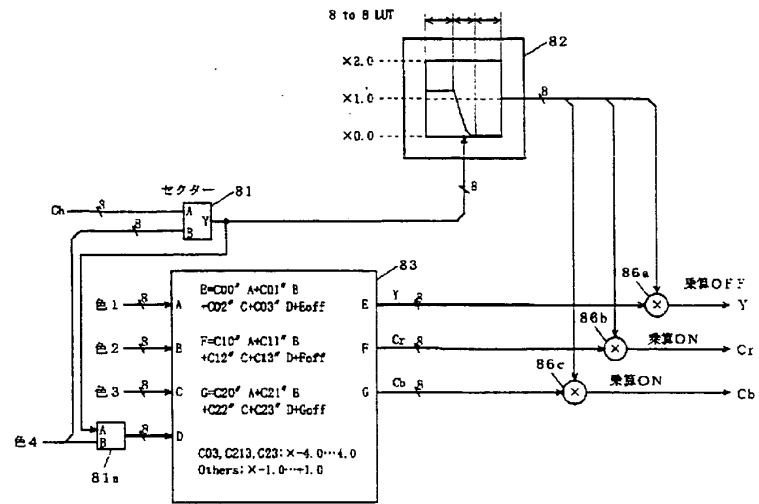
【図35】



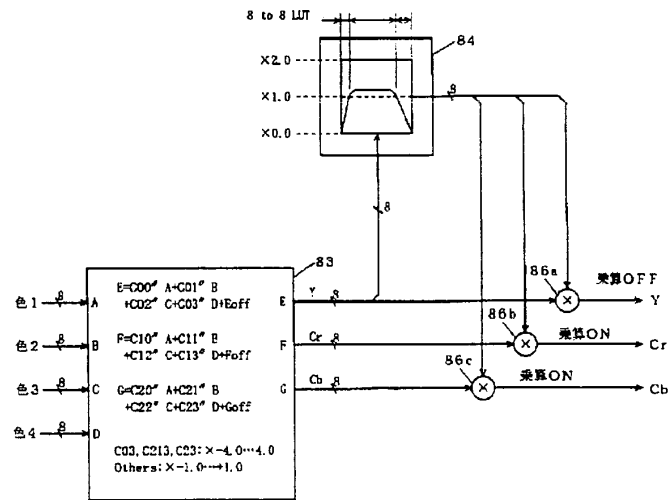
【19】



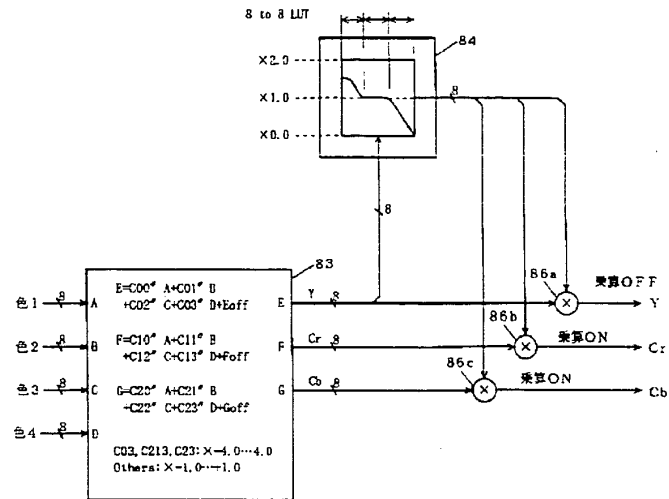
【図 20】



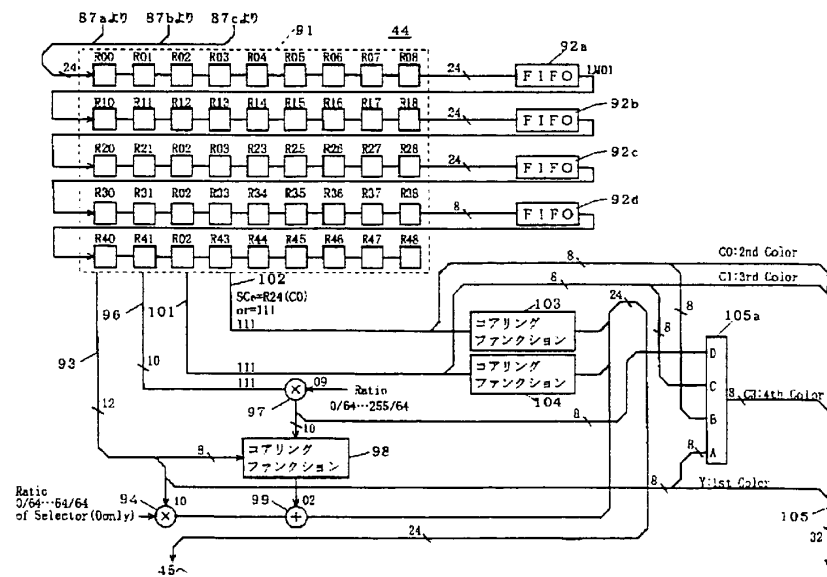
【図 21】



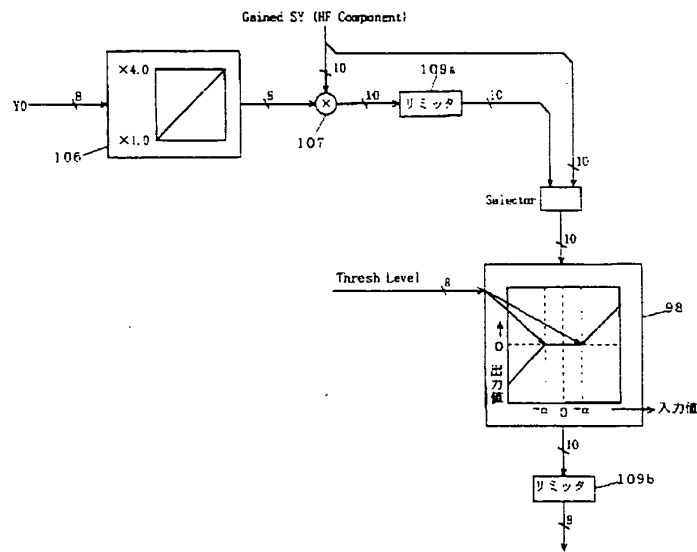
【図 22】



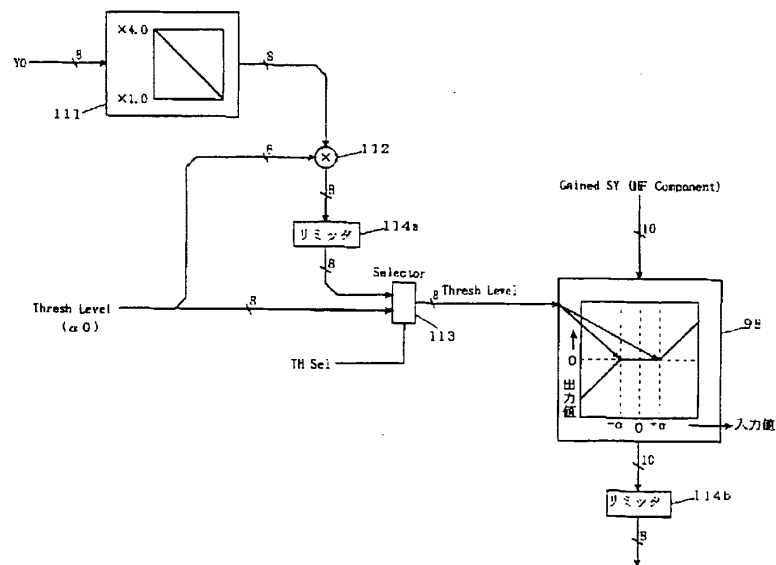
【図 25】



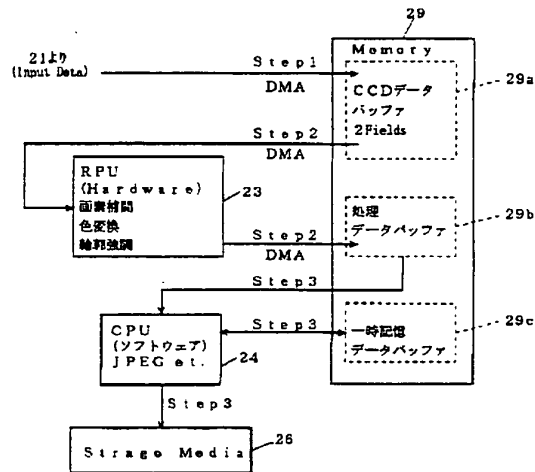
【図28】



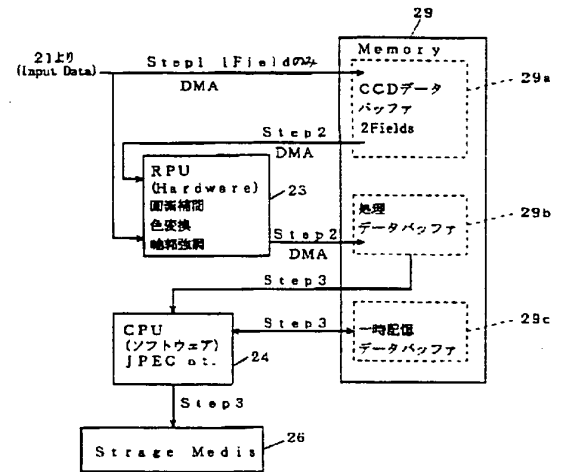
【図29】



【図30】



【図31】



フロントページの続き

(51)Int.Cl.

識別記号

F I

7-コード(参考)

H04N 9/07

H04N 9/07

A 5C066

9/64

R

9/64

9/68

A

9/68

103A

103

G06F 15/66

J

Fターム(参考) 5B057 AA11 BA13 CB08 CD06 CD07
 CE02 CE06 CE11 CH07 CH09
 CH11 DA13 DB06
 5C022 AA13 AC42 AC69
 5C023 AA07 AA37 AA38 BA07 BA17
 CA01 DA04 EA10
 5C024 AA01 CA05 CA10 DA01 FA01
 GA11 HA02 HA09 HA24
 5C065 AA01 BB12 BB18 BB22 BB30
 CC01 DD02 EE06 FF02 GG13
 GG30 GG32 GG44
 5C066 AA01 AA11 BA01 CA07 CA17
 EC02 GA01 HA03 HA04 KC07
 KE07 KM02 KM05 KM13